

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-101967

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
G 0 9 G 3/36		G 0 9 G 3/36

審査請求 未請求 請求項の数 5 O L (全 38 頁)

(21) 出願番号 特願平10-213645

(22) 出願日 平成10年(1998) 7月29日

(31) 優先権主張番号 特願平9-206766

(32) 優先日 平 9 (1997) 7月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 剛

神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内

(72) 発明者 奥村 治彦

神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内

(74) 代理人 弁理士 須山 佐一

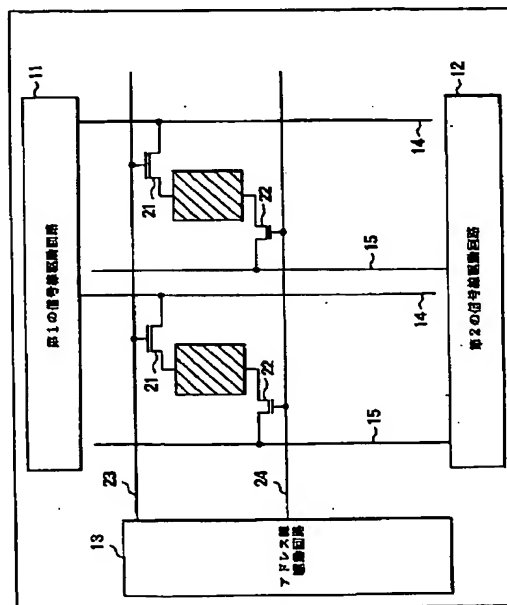
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品質の高い表示を行うことができ、消費電力が低く、電磁障害が少ない液晶表示装置を提供する。

【解決手段】 画素電極20がマトリクス状に配設されたアレイ基板10と対向電極41が配設された対向基板40との間に液晶層44を挟持した液晶表示装置において、第1の表示信号を第1の信号線14に供給する第1の信号線駆動回路11と、第2の表示信号を信号線15に供給する第2の信号線駆動回路12と、第1の表示信号を選択して画素電極20に印加する第1の薄膜トランジスタ21と、第2の表示信号を選択して画素電極20に印加する第2の薄膜トランジスタ22とを具備する。そして第1の信号線駆動回路11、第1の信号線14、第1のTFT 21は電流供給能力は、第2の信号線駆動回路12、第2の信号線15、第2のTFT 22の電流供給能力よりも大きい。



## 【特許請求の範囲】

【請求項1】 第1の電極と相互作用するように配設された液晶層と、

第1の信号を供給する第1の供給手段と、

第2の信号を供給する第2の供給手段と、

第1の電流供給能力を有し、前記第1の信号を選択して前記第1の電極に印加するように配設された第1のスイッチング素子と、

前記第1の電流供給能力よりも小さな第2の電流供給能力を有し、前記第2の信号を選択して前記第1の電極に印加するように配設された第2のスイッチング素子と、  
を具備したことを特徴とする液晶表示装置。

【請求項2】 第1の電極と相互作用するように配設された液晶層と、

第1の伝導型を有する第1のトランジスタから構成され、第1の極性を有する第1の表示信号を供給する第1の駆動回路と、

前記第1の伝導型とは異なる第2の伝導型を有する第2のトランジスタから構成され、前記第1の極性とは異なる第2の極性を有する第2の表示信号を供給する第2の駆動回路と、

前記第1の表示信号または前記第2の表示信号のいずれか一方を選択的に前記第1の電極に印加する印加手段と、  
を具備したことを特徴とする液晶表示装置。

【請求項3】 第1の電極と相互作用するように配設された液晶層と、

前記第1の電極と信号線との間に配設され、前記信号線に印加される信号を選択して前記第1の電極に印加するスイッチング素子と、

第1の表示信号を供給する第1の駆動回路と、

第2の表示信号を供給する第2の駆動回路と、

前記信号線に印加される信号を前記第1の表示信号または前記第2の表示信号から選択する選択手段と、  
を具備したことを特徴とする液晶表示装置。

【請求項4】 第1の電極と相互作用するように配設された液晶層と、第1の駆動電圧範囲を有する第1の回路と、前記第1の駆動電圧範囲とは異なる第2の駆動電圧範囲を有する第2の回路とを有する駆動回路と、

表示データに応じて前記第1の回路と前記第2の回路を選択する手段と、

表示データに対応した電圧を前記第1の回路または前記第2の回路から信号線に印加する手段と、

前記第1の電極と前記信号線との間に介挿され、前記信号線に印加された電圧を選択して前記第1の電極に印加するスイッチング素子と、

を具備したことを特徴とする液晶表示装置。

【請求項5】 第1の電極と相互作用するように配設された液晶層と、

供給されたnビットの表示データから、この表示データ

に対応したnビットの第1のデータと、前記表示データの上位mビットに対応した第2のデータとを生成する手段と、

前記第1のデータに対応した第1の電圧を供給する第1の駆動回路と、

前記第2のデータに対応した第2の電圧を供給する第2の駆動回路と、

前記第1の電圧または前記第2の電圧の一方を選択して第1の電極に印加する印加手段と、

を具備したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し、特に表示画面を構成する各画素を独立に駆動するアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】パーソナルコンピュータ、ワードプロセッサ、EWS等の表示装置、電卓、電子ブック、電子手帳用の表示装置、携帯テレビ、携帯電話、携帯FAX等の表示装置は、携帯性が重視される。したがって小形、軽量であることが望まれる。またこれらの装置は携帯時にはバッテリー駆動する必要があるので、消費電力が低いことが望まれる。薄型の表示装置としては、液晶表示装置(LCD)、プラズマディスプレイ、フラットCRT等が知られている。このうち、低消費電力の要求に対しては液晶表示装置が最も適しており、実用化が進んでいる。また近年では、液晶表示装置はCRTを置き換えるつつあり、大型化、高精細化も望まれている。

【0003】従来のアクティブマトリクス型液晶表示装置では、画素がマトリクス状に配列されており、各画素に付き1個のスイッチング素子を具備している。スイッチング素子はアドレス線に接続され、スイッチング素子の制御によって信号線より表示信号が供給される。この場合、列方向に配列した画素へは同列方向に沿って延びる1本の信号線が対応し、さらに行方向に配列した信号線へは同行方向に配置された信号線駆動回路が備わっている。1つの画素への表示信号供給は、1本の信号線及び1つの信号線駆動回路によって行われる。液晶表示装置が大型化すると、信号線とゲート線間、信号線とコモン電極間、あるいは信号線と画素電極間などに生じる寄生容量が大きくなる。このため、信号線容量と配線抵抗に規定される時定数が長くなる。これにより信号線の立ち上がりがなまるため、画素への表示信号供給が充分に行われない。

【0004】また、高精細化すると1フィールド期間内に駆動する画素数が増えることになる。このため、1画素あたりの書込み時間が短くなり画素への電圧供給が不充分になってしまう。特に信号線駆動回路から離れた画素についてはコントラストの低下が生じる。

【0005】一方、液晶材料に誘電率の大きい液晶材料

を用いた場合も同様に書込み時間が不十分となる。例えば強誘電性液晶材料のように極性反転時の自発分極による誘電率が大きい材料については、リセット期間と表示信号書込み期間とが必要となる。さらに、リセット電圧が表示信号の書込み電圧より大きい場合には、信号線駆動回路にはリセット電圧に相当する耐圧を備えることが要求される。また、水平ライン反転、ドット反転を行った場合は、信号線駆動回路の極性反転周波数が高くなる。このため、消費電力も増大する。

【0006】一方、信号線駆動回路及びアドレス線駆動回路を画素電極及びコモン電極が備わっているガラスなどの絶縁性基板上に一体的に配設した液晶表示装置も提案されている。このような液晶表示装置では、画素選択用のTFTと、駆動回路を構成するTFTとを、多結晶質シリコン(poly-Si)(微結晶質シリコン( $\mu$ c-Si)を含む)をチャネル半導体膜として構成するものもある。駆動回路を表示部と一体的に形成したこのような液晶表示装置では、クロック及び表示信号の伝送線からの電磁ノイズ(EMI)が問題となる。電磁ノイズは電圧の2乗に比例するため、駆動電圧を小さくするか、駆動周波数を下げることによって許容し得る範囲にまで改善することができる。

【0007】また、基板上に表示部のアレイと駆動回路とを一体的に形成する場合、駆動回路に不良が生じることが生産性低下の大きな原因の一つになっている。

【0008】また固有のあるいは電場を印加することにより誘起される自発分極を有する液晶材料が電極間に挟まれた液晶表示素子(例えば、反強誘電性液晶、DHf液晶、ねじれFLC、電傾効果、強誘電性液晶などを用いた表示モード)は、広視野角、高速応答可能な表示モードとして注目されている。図33は自発分極を有する液晶の例として、反強誘電性液晶の電場と配向との関係を模式的に示す図である。

【0009】電圧無印加時には液晶分子は互い違いに並んで、自発分極を打ち消している。このとき平均的な分子の光軸は図33の縦方向となり、これと水平および垂直となるように2枚の偏光板をクロスニコルに配置すると、暗状態(ノーマリーブラック)となる。正電圧あるいは負電圧を印加すると、液晶は一方に配列して光軸が偏光板の偏光方向からずれるため明状態となる。TNモードの液晶と異なる点は、正電圧印加と負電圧印加で液晶の配列が違うことである。

【0010】また、電極間に印加する電圧の強度によって、電圧無印加状態、正電圧印加状態、負電圧印加状態という3つの配向だけでなく、これら状態の中間の任意の配向をとることができる。したがって、メモリー性は乏しいもしくは無いが、TFT、TFD(薄膜ダイオード)、MIMなどのスイッチング素子を各画素に形成したアクティブマトリクス方式を採用し、非選択期間中も上記任意の配向状態をとる電圧を保持するようにすれ

ば、階調表示を行うことができる。

【0011】しかし、自発分極成分は常誘電成分に比べ大きい場合、特に極性反転時に画素電圧の供給が十分に行われない場合がある。つまりノーマリブラックモードの反強誘電性液晶表示措置において、極性反転を行う場合は、画素電圧が一旦0[V]の状態となるため、黒表示を経由してから反対極性の画像を表示することになる。よって、書込みが不十分な場合は極性反転を行った走査線に配列した画素の輝度が下がり、黒縞(以下、妨害縞と呼ぶ)が生じる。この妨害縞が視覚の時空間周波数特性で視認される領域に入ってくると、大幅に画質劣化を生じさせることになる。特に表示画面の一部を極性反転する場合には、隣接画素によって補間が十分に行われず、その表示部分の輝度低下が視認されやすい。

【0012】また、応答性が速い材料においても書込み期間内に応答が終らない場合は、所望の画像表示状態には至らない。このため、次フィールドでは正確な表示が行われないことになる。とくに動画表示において、十分な表示が行われないことになる。

【0013】

【発明が解決しようとする課題】本発明はこのような問題点を解決するためになされたものである。すなわち本発明は、画素への書込みを充分に行うとともに消費電力を低減することができる液晶表示装置を提供することを目的とする。

【0014】また、本発明は信号線駆動回路の駆動電圧を低減することにより電磁ノイズ及び消費電力を低減した液晶表示装置を提供することを目的とする。

【0015】また本発明は、例えば強誘電性液晶など誘電率の高い液晶層を用いた液晶表示装置の駆動能力をたかめ、表示品質を向上することを目的とする。

【0016】また、本発明は画素と駆動回路とが一体的に形成された液晶表示装置の生産性を向上することを目的とする。

【0017】また本発明は、大画面、高精細で、表示品質の高い液晶表示装置を提供することを目的とする。

【0018】また本発明は、自発分極を有する液晶表示の駆動方法において、画素への書込みが充分に行われない画素に対し、書込み不足による画質劣化を改善することを目的とする。

【0019】また、高い電圧印加を必要とする液晶材料においても、異なる電源電圧で駆動される信号線駆動回路を複数有することで、消費電力を大幅に軽減することを目的とする。

【0020】

【課題を解決するための手段】このような課題を解決するため、本発明の液晶表示装置は以下に説明するような構成を備えたものである。

【0021】本発明の液晶表示装置の第1のアスペクトは、第1の基板と第2の基板との間に挟持された液晶層

と、前記第1の基板上に配設された第1の電極と、第1の表示信号を前記第1の電極に供給する第1の供給手段と、第2の表示信号を前記第1の電極に供給する第2の供給手段と、前記第1の信号または前記第2の信号を選択的に前記第1の電極に印加する手段とを具備したことである。

【0022】また、本発明の液晶表示装置の第2の aspek トは、第1の基板と第2の基板との間に挟持された液晶層と、前記第1の基板上に配設された第1の電極と、正極性の第1の表示信号を供給する第1の供給手段と、負極性の第2の表示信号を供給する第2の供給手段と、前記第1の信号または前記第2の信号を選択的に前記第1の電極に印加する手段とを具備したことである。

【0023】また本発明の液晶表示装置の第3の aspek トは、第1の基板と第2の基板との間に挟持され、メモリ性を有する液晶層と、前記第1の基板上に配設された第1の電極と、前記液晶層をリセットする第1の表示信号を供給する第1の供給手段と、第2の表示信号を供給する第2の供給手段と、前記第1の信号または前記第2の信号を選択的に前記第1の電極に印加する手段とを具備したことである。また本発明の液晶表示装置の第4の aspek トは、表示領域にマトリクス状に配列された画素電極と、信号線に表示信号を供給する信号線駆動回路と、アドレス線に走査信号を供給するアドレス線駆動回路と、前記アドレス信号により前記表示信号を選択して前記画素電極に印加する複数系統の表示信号印加手段とを具備したことである。

【0024】前記画素電極には、それぞれ第1のスイッチング素子と第2のスイッチング素子が接続され、これらスイッチング素子へはそれぞれ第1の信号線と第2の信号線によりそれぞれ表示信号を供給するようにしてもよい。また、信号線へ印加される信号は複数系統の信号供給手段から選択できるようにしてもよい。この場合、第1のスイッチング素子と前記第1のスイッチング素子へ接続された第1の信号線と、第1の信号線に表示信号を供給する複数の信号線駆動回路とを具備し、前記画素電極へは同一の信号線に接続された複数の信号線駆動回路より表示信号を供給するようにしてもよい。また前記画素電極に同一のスイッチング素子と、同一の信号線と、前記信号線に接続された少なくとも2つ以上の複数の信号線駆動回路とを具備し、前記画素電極に接続され前記複数の信号線駆動回路より駆動電圧を供給する状態と、供給しない状態とを切り換えられるスイッチング手段を信号線と信号線駆動回路間との間に介在させるようにしてもよい。

【0025】すなわち本発明の液晶表示装置は、第1の基板と第2の基板との間に挟持された液晶層と、前記第1の基板上に配設された第1の電極と、前記第1の電極に対する複数系統の信号供給系を備えたものである。これら信号供給系としては、例えば信号線駆動回路をあげ

ることができる。信号線駆動回路は複数備えるようにしてもよい。さらに複数の信号線駆動回路を1つの領域に集積化してもよい。

【0026】第1の基板としては例えば画素電極がマトリクス型に配設されたアレイ基板をあげることができる。第2の基板としては例えばコモン電極（対向電極）が配設された対向基板をあげることができる。第1の基板を対向基板とし、第2の基板をアレイ基板とするようにしてもよい。第1の基板、第2の基板としては例えばガラス、無アルカリガラス、石英、アクリル樹脂等などの透明で、少なくとも表面が絶縁性を呈する基板を用いることができる。なお、反射型液晶表示装置に本発明を適用する場合には、一方の基板は透明である必要はない。

【0027】第1の電極は例えば画素電極である。液晶層への入射光は、この画素電極により形成される電界に応答する液晶層の配向状態、相転移状態などにより変調される。液晶層に印加される電界は、画素電極に印加される表示信号電圧により制御される。したがって、画素電極をマトリクス状に配設することで、入射光を2次元的に変調することができる。

【0028】また第2の基板に例えばコモン電極などの第2の電極を配設し、第1の電極と第2の電極との間に形成される電界により液晶層を応答させるようにしてもよい。さらに、第2の電極を第1の基板上に配設し、第1の電極と第2の電極により基板面と略平行な横方向電界を形成し、この横方向電界により液晶層を駆動するいわゆる in-plane モードを採用するようにしてもよい。

【0029】第1の供給手段および第2の供給手段としては、例えば表示信号を信号線に供給する信号線駆動回路をあげることができる。信号線に供給された表示信号は、選択的に前記画素電極に印加される。表示信号を選択的に画素電極に印加するには、例えば薄膜トランジスタ（TFT:Thin Film Transistor）、MIM(Metal Insulator Metal)などの非線形スイッチング素子と、このスイッチング素子の駆動手段、例えばアドレス線駆動回路、を用いるようにすればよい。

【0030】信号線および信号線駆動回路は複数系統備えるようにしてもよく、スイッチング素子も信号線に対応して各画素電極に複数接続するようにすればよい。またアドレス線（走査線）およびアドレス線駆動回路（走査線駆動回路）も、信号線駆動回路と対応して複数系統備えるようにしてもよいし、アドレス線を複数系統のスイッチング素子で共用するようにしてもよい。例えば、画素電極と第1の信号線との間に第1のTFTのソース・ドレインを介挿する。アドレス線（走査線）駆動回路からアドレス線を介して第1のTFTのゲート電極に走査信号を印加すると第1のTFTはオン状態になる。こ

のとき第1の信号線に供給されている第1の表示信号は選択的に画素電極に供給される。同様に、例えば、画素電極と第2の信号線との間に第2のTFTのソース・ドレインを介挿する。アドレス線（走査線）駆動回路からアドレス線を介して第2のTFTのゲート電極に走査信号を印加すると、第2のTFTはオン状態になる。このとき第2の信号線に供給されている第2の表示信号は選択的に画素電極に供給される。

【0031】第1のTFTのゲート電極と第2のTFTのゲート電極は、同一のアドレス線に接続するようにしてもよいし、異なるアドレス線に接続するようにしてもよい。また第1のTFTのゲート電極と第2のTFTのゲート電極とは、同一のアドレス線駆動回路から走査信号を印加するようにしてもよいし、第1のアドレス線駆動回路から第1のアドレス線を介して第1のTFTのゲート電極に第1の走査信号を印加し、第2のアドレス線駆動回路から第2のアドレス線を介して第2のTFTのゲート電極に第2の走査信号を印加するようにしてもよい。

【0032】このような構成により本発明の液晶表示装置によれば複数の表示信号を画素電極に独立に供給することができる。

【0033】例えば第1の表示信号として正極性の表示信号を供給し、第2の表示信号として負極性の表示信号を供給するようにしてもよい。このようにすれば、信号線駆動回路には交流電圧を供給する必要がなくDCレベルを供給すればよいから消費電力が大きく低減する。例えば極性反転周期の短い反転方式の場合、一方の信号線駆動回路については正極性の表示信号の書き込みを、他方の信号線駆動回路については負極性の表示信号の書き込みを行うようにする。このようにすればそれぞれの駆動回路では駆動周期が長くなるから、消費電力が大幅に低減する。つまり信号線駆動回路の駆動周波数が半分にになり消費電力が大きく低減する。また電磁障害も低減することができる。極性反転周期の短い反転方式としては、例えば水平方向反転、ドット反転などをあげることができる。

【0034】さらに、1個の信号線駆動回路により正極性の表示信号と負極性の表示信号を供給する場合には、 $n\text{-chTFT}$ と $p\text{-chTFT}$ の両方を用いて信号線駆動回路を構成する必要がある。例えば $\text{poly-Si}$ 、 $\mu\text{-Si}$ などの多結晶質シリコンをチャンネル半導体膜に用いた薄膜トランジスタは、移動度が高く優れたスイッチング特性を有する。しかし、 $n\text{-chTFT}$ と $p\text{-chTFT}$ とは特性のばらつきが大きいという問題がある。

【0035】本発明の液晶表示装置では、一方の信号線駆動回路を $n\text{-chTFT}$ により構成し、他方の信号線駆動回路を $p\text{-chTFT}$ により構成することにより、駆動回路を構成するスイッチング特性を均一にすること

ができる。また同時に駆動回路の不良が低減するから液晶表示装置の生産性を大きく向上することができる。特に、 $\text{poly-Si}$ 、 $\mu\text{-Si}$ などの多結晶質シリコンをチャンネル半導体膜に用いたTFTにより、画素選択用TFTと、信号線駆動回路およびアドレス線駆動回路などの駆動回路部のTFTとを1枚の絶縁性基板上に一体的に配設する画素-駆動回路一体型の液晶表示装置には、本発明を好適に適用することができる。例えば、 $\text{poly-Si}$ によってガラス基板上に各駆動回路を形成する場合に、クロック及び表示信号の伝送線からの電磁ノイズが問題となるが、電磁ノイズの電圧は2乗に比例するため駆動電圧を小さくすることによって改善できる。このため、本発明の液晶表示装置のように正極性の表示信号の書き込みを行う駆動回路と負極性の表示信号の書き込みを行う駆動回路とを分けることにより、それぞれの駆動回路の駆動電圧は半分に低下する。したがって、電磁ノイズを $1/4$ に低減すると共に、駆動回路での消費電力も $1/4$ に低減できる。

【0036】第1の供給手段により画素電極に供給する第1の表示信号と、第2の供給手段により画素電極に供給する第2の表示信号とは、上述のように正極性の表示信号と負極性の表示信号とに限らず、必要に応じて異なった信号を供給するようにすればよい。また同一の信号を供給するようにしてもよいし、ある1つの表示信号を複数の部分に分割して供給するようにしてもよい。

【0037】例えば第1の表示信号としてリセット信号を供給し、第2の表示信号として表示信号を供給するようにしてもよい。例えば強誘電性液晶や反強誘電性液晶などの、固有のあるいは電場を印加することにより誘起される自発分極を有する液晶材料を用いる場合などには、すでに書き込まれた表示信号に対応してメモリされている状態をリセットしてから、新しい表示信号を書き込むような駆動を行う必要がある。このような場合には、画素電極にリセット信号を印加してから表示信号を印加する必要がある。ところが、表示画面が大型化したり、駆動周波数が高い場合などには、十分なリセット期間および書き込み期間を確保することが難しい。

【0038】本発明の液晶表示装置においては、例えば第1の信号供給手段からリセット信号を印加し、第2の信号供給手段から新たに書き込む表示信号を印加することにより、十分な書き込み期間を確保できる。またリセット期間と書き込み期間を独立に制御できるため、駆動能力を向上しコントラストを高めることができる。したがって例えば大表示画面の液晶表示装置においても高品質の画像表示を実現することができる。また駆動周波数が小さくなるから電磁障害を低減することができる。

【0039】また、例えば反強誘電性液晶等では、リセット電圧を複数レベル印加する必要がある場合があるが、本発明の液晶表示装置ではリセット信号を専用の信号線駆動回路により供給することによりリセット信号レ

ベルを単一電源レベルだけでなく複数のレベルでも対応することができる。さらに、リセット信号の電圧レベルと表示信号の電圧レベルが異なる場合にも、それぞれの信号を供給する駆動回路を別に備えることにより異なった電圧レベルの電源を供給し、さらに異なった耐圧レベルに駆動回路を形成することができる。したがって十分な大きさのリセット電圧を供給することができる。また消費電力が低減するとともに、駆動回路が最適化で生産性が向上する。

【0040】さらに、液晶層の応答性を改善するためのLAO駆動(Level Adaptive Over drive)を行う場合、まず一方の信号線駆動回路からオーバードライブな表示信号を供給して画素電極に印加し、つづいて第2の信号線駆動回路から画素に書き込まれるべき表示信号を供給するようにしてもよい。このような構成を採用することにより、液晶層の応答性を改善して表示品質を向上することができる。

【0041】本発明の液晶表示装置の第5の aspek t は、第1の電極と相互作用するように配設された液晶層と、第1の信号を供給する第1の供給手段と、第2の信号を供給する第2の供給手段と、第1の電流供給能力を有し、前記第1の信号を選択して前記第1の電極に印加するように配設された第1のスイッチング素子と、前記第1の電流供給能力よりも小さな第2の電流供給能力を有し、前記第2の信号を選択して前記第1の電極に印加するように配設された第2のスイッチング素子と、を具備したことである。

【0042】前記第1の供給手段としては、例えば前記第1のスイッチング素子と接続された第1の信号線と、前記第1の信号線に前記第1の信号を供給する第1の駆動回路とを具備するようにすればよい。また前記第2の供給手段としては、例えば前記第2のスイッチング素子と接続された第2の信号線と、前記第2の信号線に前記第2の信号を供給する第2の駆動回路とを具備するようにすればよい。また前記第1の信号線の断面積は前記第2の信号線の断面積よりも大きくするようにしてもよい。すなわち、電流供給能力の大きなスイッチング素子には、断面積の大きな信号線により信号を供給し、電流供給能力のより小さなスイッチング素子には、断面積のより小さな信号線により信号を供給すればよい。さらに、前記第1の信号線は第1の抵抗率を有する第1の導電性材料から構成し、前記第2の信号線は前記第1の抵抗率よりも大きな第2の抵抗率を有する第2の導電性材料から構成するようにしてもよい。

【0043】これらスイッチング素子としては、例えば薄膜トランジスタなどの電界効果型トランジスタ、あるいはMIM等の素子を用いることができる。前記第1のスイッチング素子を第1のTFTにより構成し、前記第2のスイッチング素子を第2のTFTにより構成してもよい。そして、前記第1のTFTの相互コンダクタンス

を前記第2のTFTの相互コンダクタンスよりも大きく設定するようにしてもよい。あるいは、前記第1のTFTのオン抵抗を前記第2のTFTのオン抵抗よりも小さく設定するようにしてもよい。

【0044】ここで相互コンダクタンス $g_g$ とはゲート電圧を1[V]変化させたときのドレイン電流の変化量に相当するものである。したがって相互コンダクタンス $g_g$ が大きいほど、スイッチング素子の電流供給能力は大きくなる。

【0045】薄膜トランジスタを飽和領域で用いる場合、

$$r_g = 1/g_g \\ = 1/\{(W/L) \times \mu \times C_{ox} \times (V_{gs} - V_{th})\}$$

と記述することができる。相互コンダクタンス $g_g$ を大きくするには、例えば薄膜トランジスタのチャネル幅 $W$ をチャネル長 $L$ よりもずっと大きく設定すればよい。また薄膜トランジスタのキャリア移動度 $\mu$ を大きくすればよい。またゲート電極と半導体膜とを絶縁するゲート絶縁膜により構成されるゲート絶縁膜容量 $C_{ox}$ を大きくすればよい。さらに、薄膜トランジスタの閾値電圧 $V_{th}$ を小さく設定するようにしてもよい。したがって、前記第1のTFTの移動度は前記第2のTFTの移動度よりも大きくすればよい。また前記第1のTFTの閾値電圧は前記第2のTFTの閾値電圧よりも低くすればよい。またチャネル幅を $W$ 、チャネル長を $L$ としたとき、前記第1のTFTの $W/L$ は前記第2のTFTの $W/L$ よりも大きくすればよい。さらに、第1のTFTのゲートとソース・ドレインとの間に形成される容量は、第2のTFTのゲートとソース・ドレインとの間に形成される容量よりも大きくすればよい。

【0046】また第1のスイッチング素子、第2のスイッチング素子を複数のTFTから構成することにより、各スイッチング素子の電流供給能力を変えるようにしてもよい。例えば信号線と画素電極との間に同じTFTを並列に介挿すれば電流供給能力は大きくなる。一方、信号線と画素電極との間に同じTFTを直列に介挿すれば電流供給能力は小さくなる。

【0047】したがって、第1のスイッチング素子として、第1の信号線と画素電極との間に複数のTFTを並列に介挿すればよい。このとき第2のスイッチング素子としては、第2の信号線と画素電極との間に1個のTFTを介挿すればよい。同様に第2のスイッチング素子として、第2の信号線と画素電極との間に複数のTFTを直列に介挿してもよい。このとき第1のスイッチング素子としては、第1の信号線と画素電極との間に1個のTFTを介挿すればよい。このような構成によれば、同じTFTを用いながら、電流供給能力の相違する複数の信号供給系を実現することができる。したがって液晶表示装置の設計の自由度、生産性を向上することができる。

【0048】本発明の液晶表示装置においては、薄膜ト



ランジスタのソース・ドレインと接続される信号線同様、薄膜トランジスタのゲートを接続されるアドレス線についても、薄膜トランジスタの電流供給能力に応じて配設することが好ましい。

【0049】例えば、前記第1のTFTと接続した第1のアドレス線の断面積は、前記第2のTFTと接続した第2のアドレス線の断面積よりも大きく設定するようにすればよい。また、前記第1のアドレス線は第3の抵抗率を有する第3の導電性材料から構成し、前記第2のアドレス線は前記第3の抵抗率よりも大きな第4の抵抗率を有する第4の導電性材料から構成するようにすればよい。

【0050】さらに本発明の液晶表示装置においては、第1のスイッチング素子を介して前記第1の電極に信号を供給する第1の駆動回路と、第2のスイッチング素子を介して前記第1の電極に信号を供給する第2の駆動回路とを、異なる構成にしてもよい。また第1の駆動回路と第2の駆動回路とを、電流供給能力の異なるトランジスタにより構成するようにしてもよい。例えば、前記第1の駆動回路を第3のTFTから構成し、前記第2の駆動回路は第4のTFTから構成し、前記第3のTFTの相互コンダクタンスを前記第4のTFTの相互コンダクタンスよりも大きくするように設定してもよい。

【0051】また例えば、前記第1の駆動回路を構成するスイッチング素子の数を、前記第2の駆動回路を構成するスイッチング素子の数よりも少なくするようにしてもよい。また、第1の駆動回路を構成するスイッチング素子を第2の駆動回路を構成するスイッチング素子の大きさよりも大きく形成するようにしてもよい。

【0052】このように本発明の液晶表示装置では、画素電極への信号供給を複数系統から行うとともに、複数系統の信号供給系の電流供給能力を最適化している。

【0053】また本発明の液晶表示装置は、それぞれが画素電極を有する複数の画素の行列で規定される画素マトリクスと、前記画素電極1つについて画像信号を供給するための少なくとも2つ以上の信号線駆動回路と、前記画素マトリクスの行方向画素を選択するためのアドレス線及びアドレス線駆動回路と、それぞれが前記信号線と前記画素電極との間に介在し且つアドレス線への印加電圧によりオン及びオフされるスイッチング素子とを具備し、前記複数の信号線駆動回路により1つの前記画素へ画像信号を供給するようにしてもよい。また、1つの画素に具備する複数のスイッチング素子はそれぞれ、電流駆動能力や素子サイズなどの諸特性が異なり、それぞれ異なった特性の信号線駆動回路、即ち電流供給能力の大きいスイッチング素子には電流供給能力が大きく画像表示特性の粗い駆動回路を接続し、電流供給能力の小さいスイッチング素子には電流供給能力が小さく画像表示特性の高い駆動回路を接続するようにしてもよい。また、1つの画素について電流供給能力の異なる

複数系統の信号供給系を備えることにより、1つの書き込み期間の早い段階では大きな電流供給能力を備える信号線駆動回路とスイッチング素子を用いて表示信号の書き込みを行い、書き込み時間の後半では電流供給能力が小さいが画像表示性能の高い信号線駆動回路とスイッチング素子を用いて書き込みを行うようにすればよい。

【0054】このような構成を採用することにより、本発明の液晶表示装置では、画素電極1つについて表示信号を供給するための少なくとも2つ以上の信号線駆動回路より表示信号を供給することができる。このため、書き込み時間の早い段階では大きな電流供給能力を備える信号線駆動回路と大きな電流供給能力を備えるスイッチング素子を用いて書き込みを行うことができる。そして、書き込み時間の後半においては電流供給能力が小さいが画像表示性能の高い信号線駆動回路と素子サイズの小さい、即ち電流供給能力の小さいスイッチング素子を用いて書き込みを行うことができる。これにより、短い書き込み時間で且つ正確な表示信号の書き込みを行うことができる。

【0055】さらに、それぞれのスイッチング素子および信号線駆動回路は、電流供給能力が大きい場合には精度を粗くすればよい。即ち回路を構成する素子数を少なくすればよい。一方、電流供給能力が小さい、即ち素子サイズが小さい場合には精度を高くするために回路構成素子を多くして駆動回路を構成すればよい。これにより、短い書き込み時間で且つ精度の高い表示信号の書き込みを行うことができる。しかも、駆動回路の規模を不必要に大きくすることがないため、開口率の低減を最小限に抑制することができる。また、駆動回路を複数備えることにより、冗長性が増すので、信号線駆動回路の形成不良による歩留まり低下を抑制することができる。

【0056】本発明の液晶表示装置の第6のアスペクトは、第1の電極と相互作用するように配設された液晶層と、第1の伝導型を有する第1のトランジスタから構成され、第1の極性を有する第1の表示信号を供給する第1の駆動回路と、前記第1の伝導型とは異なる第2の伝導型を有する第2のトランジスタから構成され、前記第1の極性とは異なる第2の極性を有する第2の表示信号を供給する第2の駆動回路と、前記第1の表示信号または前記第2の表示信号のいずれか一方を選択的に前記第1の電極に印加する印加手段と、を具備することである。すなわち、一方の駆動回路を $n-ch$ 薄膜トランジスタにより選択的に構成し、他方の駆動回路を $p-ch$ 薄膜トランジスタにより選択的に構成する。

【0057】前記印加手段としては、例えば、前記第1の駆動回路と接続された第1の信号線と、前記第1の信号線と前記第1の電極との間に介挿された第1のスイッチング素子と、前記第2の駆動回路と接続された第2の信号線と、前記第2の信号線と前記第1の電極との間に介挿された第2のスイッチング素子とを採用することが

できる。

【0058】前記第1のトランジスタおよび前記第2のトランジスタとしては、多結晶質シリコンからなる半導体膜を有する薄膜トランジスタを採用することが好適である。ここで多結晶質シリコンは、poly-Si、 $\mu$ c-Siを含むものとする。

【0059】本発明の液晶表示装置の第7のアスペクトは、第1の電極と相互作用するように配設された液晶層と、前記第1の電極と信号線との間に配設され、前記信号線に印加される信号を選択して前記第1の電極に印加するスイッチング素子と、第1の表示信号を供給する第1の駆動回路と、第2の表示信号を供給する第2の駆動回路と、前記信号線に印加される信号を前記第1の表示信号または前記第2の表示信号から選択する選択手段と、を具備することである。

【0060】前記選択手段としては、例えば、前記第1の駆動回路と前記信号線との間に介挿された第1のスイッチと、前記第2の駆動回路と前記信号線との間に介挿された第2のスイッチと、前記第1のスイッチおよび前記第2のスイッチを制御する手段とを採用することができ、第1のスイッチ、第2のスイッチとして薄膜トランジスタを用いることもできる。この場合、制御手段としては、薄膜トランジスタのゲートに走査信号を印加する回路を用いるようにすればよい。

【0061】前記第1のスイッチおよび前記第2のスイッチは、前記信号線ごとに独立に制御可能に構成するようにしてもよい。これにより、画素マトリクスで行ごと、あるいは列ごとに配設される複数の信号線ごとに、第1の駆動回路からの電圧供給と、第2の駆動回路からの電圧供給を、独立して行うことができる。例えば表示画面の一部領域のみに動画が表示されるような場合、この領域のみを第1の駆動回路、または第2の駆動回路により駆動することができる。例えば、第1の駆動回路と第2の駆動回路の駆動電圧範囲を異なるように設定し、駆動能力のより高い駆動回路により動画表示領域を駆動するようにすればよい。

【0062】前記第1のスイッチおよび前記第2のスイッチを、さらに別の信号供給系との切替えに用いるようにしてもよい。例えば、強誘電性液晶、反強誘電性液晶などの場合には、駆動に際してリセット電圧を印加する必要がある場合が一般的である。このような場合、第1の駆動回路、第2の駆動回路とは別に、リセット電圧供給系を備えるようにしてもよい。そして、第1のスイッチ、第2のスイッチにより、第1の駆動回路、第2の駆動回路、またはリセット電圧供給系のいずれかを信号線に接続するようにする。すなわち、前記液晶層はリセット信号によりリセットされるメモリ性を有し、前記リセット信号を供給する手段をさらに具備し、前記選択手段は前記信号線に印加される前記信号を前記第1の表示信号と前記第2の表示信号と前記リセット信号とから選択

するようにすればよい。

【0063】また、前記第1の駆動回路は第1の駆動電圧範囲を有し、前記第2の駆動回路は前記第1の駆動電圧範囲とは異なる第2の駆動電圧範囲を有するようにしてもよい。前記第1の駆動電圧範囲と前記第2の駆動電圧範囲とは重複する部分を有するようにしてもよい。この場合、前記液晶層は前記第1の駆動電圧範囲と前記第2の駆動電圧範囲との重複する部分にあるリセット信号によりリセットされるメモリ性を有し、前記リセット信号を供給する手段をさらに具備し、前記選択手段は前記信号線に印加される前記信号を前記第1の表示信号と前記第2の表示信号と前記リセット信号とから選択するようにすればよい。

【0064】なお、前記第1の駆動回路と前記第2の駆動回路とは、別に配設するようにしてもよいし、複数の信号供給系を有する1つの駆動回路に集積化するようにしてもよい。この場合、3レベル以上の複数の電位を駆動回路に供給すればよい。また2レベルの電位を供給し、抵抗分割により3レベル以上の複数の電位を得るようにしてもよい。

【0065】つまり、本発明の液晶表示装置の第8のアスペクトは、第1の電極と相互作用するように配設された液晶層と、第1の駆動電圧範囲を有する第1の回路と、前記第1の駆動電圧範囲とは異なる第2の駆動電圧範囲を有する第2の回路とを有する駆動回路と、表示データに応じて前記第1の回路と前記第2の回路を選択する手段と、表示データに対応した電圧を前記第1の回路または前記第2の回路から信号線に印加する手段と、前記第1の電極と前記信号線との間に介挿され、前記信号線に印加された電圧を選択して前記第1の電極に印加するスイッチング素子と、を具備することである。

【0066】前記駆動回路は、3つ以上の異なる電位から2つを前記表示データに応じて選択して前記第1の回路または前記第2の回路に供給するようにしてもよい。また、前記駆動回路は供給された2つの電位を抵抗分割して前記3つ以上の異なる電位を生成するようにしてもよい。

【0067】本発明の液晶表示装置の第9のアスペクトは、第1の電極と相互作用するように配設された液晶層と、供給されたnビットの表示データから、この表示データに対応したnビットの第1のデータと、前記表示データの上位mビットに対応した第2のデータとを生成する手段と、前記第1のデータに対応した第1の電圧を供給する第1の駆動回路と、前記第2のデータに対応した第2の電圧を供給する第2の駆動回路と、前記第1の電圧または前記第2の電圧の一方を選択して第1の電極に印加する印加手段と、を具備することである。

【0068】前記印加手段としては、例えば、前記第1の駆動回路と接続した第1の信号線と、前記第2の駆動回路と接続した第2の信号線と、前記第1の信号線と前



記第1の電極との間に介挿された第1のスイッチング素子と、前記第2の信号線と前記第1の電極との間に介挿された第2のスイッチング素子と、前記第1のスイッチング素子と前記第2のスイッチング素子を制御する手段とを採用することができる。

【0069】また、前記第1のスイッチング素子を第1の相互コンダクタンスを有する第1のTFTから構成し、前記第2のスイッチング素子は、前記第1の相互コンダクタンスよりも小さな第2のコンダクタンスを有する第2のTFTから構成するようにしてもよい。

【0070】前記第1の信号線の断面積は前記第2の信号線の断面積よりも大きくするようにしてもよい。また、前記第1の駆動回路を構成するスイッチング素子の数は、前記第2の駆動回路を構成するスイッチング素子の数よりも少なくてもよい。また前記第1の駆動回路を第3のTFTから構成し、前記第2の駆動回路を第4のTFTから構成し、前記第3のTFTの相互コンダクタンスを前記第4のTFTの相互コンダクタンスよりも大きくするように形成してもよい。

【0071】例えば8ビットの表示データが供給される場合、この8ビットの表示データを第1のデータとし、供給された表示データの上位4ビットを第2のデータとする。そして、第1のデータを第1の駆動回路へ、第2のデータを第2の駆動回路へ分配する。このとき、前述のように、第1の駆動回路は高精細用に、第2の駆動回路は低精細用に構成するようにしてもよい。第1のデータを上位4ビットとし、第2のデータを全8ビットとするようにしてもよい。

【0072】このように本発明の液晶表示装置は、単位画素に対して複数の信号供給系を備えたものである。このような構成を採用することにより、本発明の液晶表示装置によれば、単位画素への信号書き込みを十分に行うことができ、表示品質を向上することができる。また、駆動周波数を低減することにより、消費電力、電磁障害(EMI)を低減することができる。さらに、複数系統の信号供給系の信号供給能力を異なるように構成することにより、寄生容量の増加を抑制し、表示品質を向上することができる。

【0073】また本発明の液晶表示装置では、固有のあるいは電場を印加することにより誘起される自発分極を有する液晶材料が電極間に挟まれた液晶表示素子の駆動方法において、表示する画像信号もしくは極性反転動作に応じて使用する信号線駆動回路を変えて電圧を印加するようにしてもよい。また、画素毎に駆動に関わる信号線駆動回路を2つ以上備えており、どちらの信号線駆動回路でも駆動が可能な場合は、より低消費電力で駆動できる信号線駆動回路を選択する構成になっていてもよい。つまり本発明の液晶表示装置によれば、複数の信号線駆動回路から表示信号の供給を行うことができるため、表示信号に応じて適切な信号線駆動回路を選択する

ことができる。

【0074】これにより、表示画像に応じて最適な駆動が行える信号線駆動回路を使用することができ、極性反転時の妨害縞や書き込み不足に伴う応答不足を大幅に改善できる。さらに、極性反転を行う画素については反転に伴う電荷供給も行う必要がある。同極性間での書き換えを行う場合、より書き込み期間を長くするか、電圧を高くすることで対応することもできる。

【0075】しかしながら、より高精細表示装置においては書き込み期間が限られるため、高電圧信号線駆動回路を選択するのがよい。また、動画表示の場合に相関の低い表示画面を高速に書き換えが必要となるため、上述と同じく、高電圧信号線駆動回路を選択するのがよい。一方、静止画及び相関の高い表示画像、同極性間の書き換えを行う場合は、高電圧信号線駆動回路を使用することもできるが、より低消費電力化のために、低電圧信号線駆動回路を選択するのがよい。動画と静止画で信号線駆動回路を使い分けることにより、静止画部は低消費電力の信号線駆動回路を使用し、動画部は高速の信号線駆動回路を使用することにより、高画質で消費電力の低い表示装置を提供することができる。

【0076】本発明の液晶表示装置は、電源電圧の異なる信号線駆動回路を選択する場合に、次に選択される信号線駆動回路の電源電圧より、切り換え前の信号線電位が高い場合に生じるラッチアップを回避する構成とすることができる。これにより、駆動耐圧より高い電圧が信号線より印加されることがないため、信号線駆動回路を保護することができる。

【0077】また、信号線駆動回路を切り換える前の信号線電位を参照して、前記信号線電位が次に選択される信号線駆動回路の駆動範囲にある場合はリセット動作を行わない構成とするのがよい。また、信号線駆動回路を切り換える前の信号線電位を参照して、先に選択された信号線電位が次に選択される信号線駆動回路の駆動範囲より高い場合には、次に選択される信号線駆動回路の駆動範囲の上限にリセット電位を設定し、先に選択された信号線電位が次に選択される信号線駆動回路の駆動範囲より低い場合には、次に選択される信号線駆動回路の駆動範囲の下限にリセット電位を設定する構成とするのがよい。このように、不必要な信号線電位変動を抑制することにより、消費電力を低減することができる。

【0078】本発明の液晶表示装置は、2つ以上の複数の信号線駆動回路から画素の書き換えを行うことができる場合に、前記信号線駆動回路の電源電圧を異ならせて設定することにより、表示信号に応じて信号線駆動回路を選択するようにしてもよい。また、前記信号線駆動回路は同耐圧のドライバを使用し、一方の信号線駆動回路の駆動範囲と他方の信号線駆動回路の駆動範囲をずらして設定することで、同種類の信号線駆動回路を用いながら画素電位にかかる駆動電圧範囲を広げる構成となっ

ているのがよい。

【0079】これにより、例えば、階調数が少なくてもよい白黒表示などにおいては、一方の信号線駆動回路で白表示を、他方の信号線駆動回路で黒表示を行えばよく、消費電力を抑え且つコントラストの高い表示を行うことができる。

【0080】本発明の液晶表示装置は、2つ以上の複数の信号線駆動回路から画素の書き換えを行うことができる場合に、前記各信号線駆動回路の駆動電圧範囲の一部を共通とし、ラッチアップ防止のためのリセット電位を前記共通の駆動電圧範囲に設定することで、表示信号に関わらず常に一定のリセット電位から信号線を駆動するようにしてもよい。これにより、信号線の立ち上がり特性を常に一定にすることができ、前フィールドの表示信号の影響を受け難くすることができる。また、2つ以上の複数の信号線駆動回路から画素の書き換えを行うことができる場合に、前記信号線駆動回路の電源電圧を表示信号に応じてシフトさせるようにしてもよい。これにより、低耐圧且つ低消費電力信号線駆動回路を用いて、駆動電圧範囲を広くすることができる。

【0081】

【発明の実施の形態】以下、本発明の液晶表示装置についてさらに詳細に説明する。

【0082】（実施形態1）図1は本発明の液晶表示装置の構成を概略的に示す図であり、図2はそのアレイ基板の構成の例を概略的に示す図である。この液晶表示装置は、表示領域にマトリクス状に配設された画素電極と、画素電極に画像データと対応した表示信号を供給するための、1個の画素電極について、表示信号を供給するためのチャンネルが少なくとも2つ以上設けられたものである。

【0083】この液晶表示装置は、画素電極20および画素電極20と接続した複数の薄膜トランジスタ21、22とがマトリクス状に配設されたアレイ基板10と、コモン電極が配設された対向基板（図示せず）との間に液晶層を挟持したものである。アレイ基板10は、画素電極20に第1の表示信号を第1の信号線14を介して供給する第1の信号線駆動回路11と、画素電極20に第2の表示信号を第2の信号線15を介して供給する第2の信号線駆動回路12と、薄膜トランジスタ21、22のオン・オフを制御する信号をアドレス線16を介して供給するアドレス線駆動回路13とを具備している（図14参照）。そしてこのアレイ基板10と対向基板を配設した対向基板との間に液晶層を挟持することにより画素ごとに液晶層へ入射する光の強度を透過、散乱、吸収、複屈折等により変調して表示を行う。

【0084】この例では第1の信号線駆動回路11、第2の信号線駆動回路12、アドレス線駆動回路13ともアレイ基板10と一体的に形成している。これらの駆動回路はアレイ基板とは別に配設するようにしてもよい。

【0085】薄膜トランジスタ21のソース・ドレインは第1の信号線14と画素電極20との間に介挿され、そのゲート電極はアドレス線16（例えば $G_{n+1}$ ）と接続されている。また薄膜トランジスタ22のソース・ドレインは第2の信号線15と画素電極20との間に介挿され、そのゲート電極はアドレス線16（例えば $G_n$ ）と接続されている。したがって、薄膜トランジスタ21のオン・オフはアドレス線16（ $G_{n+1}$ ）に印加される走査信号により制御され、薄膜トランジスタ21がオン状態になったとき第1の信号線14に供給された表示信号が選択されて画素電極20に印加される。同様に、薄膜トランジスタ22のオン・オフはアドレス線16（ $G_n$ ）に印加される走査信号により制御される。薄膜トランジスタ22がオン状態になったとき、第2の信号線15に供給された表示信号が選択されて画素電極20に印加される。

【0086】このような構成を採用することにより、本発明の液晶表示装置においては、複数の表示信号を独立に画素電極に供給することができる。なお、後述するように、薄膜トランジスタ21の電流供給能力と、薄膜トランジスタ22の電流供給能力とを異ならせてもよい。例えば薄膜トランジスタ21を、薄膜トランジスタ22よりも大きな相互コンダクタンスを有するように形成してもよい。

【0087】また、例えば第1の表示信号として正極性の表示信号を供給し、第2の表示信号として負極性の表示信号を供給するようにしてもよい。このようにすれば、信号線駆動回路には交流電圧を供給する必要がなくなり消費電力を大きく低減することができる。また電磁障害も低減することができる。また例えば第1の表示信号としてリセット信号を供給し、第2の表示信号として表示信号を供給するようにしてもよい。このようにすることにより、各信号の書き込み期間を独立に制御することができ、表示品質を向上することができる。また電磁障害も低減することができる。

【0088】（実施形態2）図1、図2に例示した本発明の液晶表示装置において、第1の信号線駆動回路11から表示信号を供給し、第2の信号線駆動回路12からはリセット信号を供給する場合について説明する。なおここでは、例えば強誘電性液晶材料、反強誘電性液晶材料などのリセット駆動を必要とする液晶層を用いた場合について説明する。

【0089】図3は、第1の信号線駆動回路11、第2の信号線駆動回路12、アドレス線駆動回路13から供給される信号の波形の例を概略的に示す図である。図3（A）は、アドレス線16（ $G_n$ ）に供給される走査信号波形を、図3（B）はアドレス線16（ $G_{n+1}$ ）に供給される走査信号波形を、図3（C）は第1の信号線14に供給される表示信号 $V_{sig}$ の波形を、図3（D）は第2の信号線15に供給されるリセット信号 $V_r$ の波形

を、図3(E)は画素電極20に印加される電圧の波形をそれぞれ示している。

【0090】アドレス線16( $G_n$ )に印加される走査信号(図3(A))により薄膜トランジスタ22がONすると、第2の信号線15より画素電極20にリセット電圧 $V_r$ (図3(C))が印加され、すでに画素に書き込まれている状態がリセットされる。引き続き、アドレス線16( $G_{n+1}$ )24に印加される走査信号(図3(B))により薄膜トランジスタ21がONすると、第2の信号線15より画素電極20に表示信号 $V_{sig}$ (図3(D))が印加される。したがって画素電極20には、新たな表示信号が書き込まれることになる。

【0091】図4は、本発明の液晶表示装置のアレイ基板の構成の別の例を概略的に示す図である。図2に例示した構成では、1個の画素電極20につき2本のアドレス線が配置されているが、図4の例では一本のアドレス線で薄膜トランジスタ21、薄膜トランジスタ22ともに駆動することによりアドレス線数を半分に低減することができる。

【0092】図5は、本発明の液晶表示装置のアレイ基板の構成の別の例を概略的に示す図である。この例では、第2の信号線駆動回路12により行方向に配列された画素電極20について表示信号を供給する構成となっている。すなわち、アドレス線16( $G_n$ )により選択されオン状態になった行方向の画素電極20について、リセット電圧 $V_r$ を第2の信号線15より印加する。次に引き続きアドレス線16( $G_{n+1}$ )により薄膜トランジスタ21をオンさせ、第1の信号線14から表示信号 $V_{sig}$ を印加することによってリセット駆動と画像書き込み駆動を行っている。なお、実施形態1、実施形態2では第1の信号線駆動回路11によりリセット信号 $V_r$ を供給し、第2の信号線駆動回路12により表示信号 $V_{sig}$ を供給する構成について説明したが、例えばリセット信号の代わりにオーバードライブのための表示信号 $V_{LAO}$ を供給するようにしてもよい。液晶層(例えばTN液晶等)を駆動する場合に、表示信号印加初期の液晶層の応答性のなまりを補償するため、過渡応答(LAO: Level Adaptive Overdrive)と呼ばれる駆動を行うことがある。これは、画素電極20に表示信号 $V_{sig}$ を書き込む際に、まず書き込むべき表示信号電圧レベルより高いレベルの過渡表示信号 $V_{LAO}$ を印加することにより、液晶層の応答性を改善するものである。

【0093】図19(A)、図19(B)、図19(C)、図19(D)、図19(E)は、第1の信号線駆動回路11、第2の信号線駆動回路12、アドレス線駆動回路13から供給される信号の波形の例を概略的に示す図である。図19(A)は、アドレス線16( $G_n$ )に供給される走査信号波形を、図19(B)はアドレス線16( $G_{n+1}$ )に供給される走査信号波形を、図

19(C)は第1の信号線14に供給される表示信号 $V_{sig}$ の波形を、図19(D)は第2の信号線15に供給されるオーバードライブ信号 $V_{LAO}$ の波形を、図19(E)は画素電極20に印加される電圧の波形をそれぞれ示している。

【0094】アドレス線16( $G_n$ )に印加される走査信号(図19(A))により薄膜トランジスタ22がONすると、第2の信号線15より画素電極20にオーバードライブ電圧 $V_{LAO}$ (図19(C))が印加される。引き続き、アドレス線16( $G_{n+1}$ )24に印加される走査信号(図19(B))により薄膜トランジスタ21がONすると、第1の信号線14より画素電極20に表示信号 $V_{sig}$ (図19(D))が印加される。したがって画素電極20には、立上がりなまりのない表示信号が書き込むことができる。

【0095】このように本発明の液晶表示装置では、例えば図1乃至図5に例示した構成により、第1の信号線駆動回路11から過渡表示信号( $V_{LAO}$ )を供給し、第2の信号線駆動回路12から表示信号 $V_{sig}$ を供給し、液晶層の駆動能力を向上することができる。

【0096】(実施形態3) つぎに2つの信号線駆動回路から正極性の表示信号と負極性の表示信号を別々に画素電極へ供給する例について説明する。図6は本発明の液晶表示装置の構成の別の例を概略的に示す図である。1つの画素電極20に薄膜トランジスタ21、22と第1の信号線14、15を備えることにより、極性反転周期の短い反転方式、例えば水平方向反転、ドット反転においても、信号線駆動回路については正極性書込みを、他方の信号線駆動回路については負極性書込みを行わせることにより、同一駆動回路においては極性の反転周期を長くする。

【0097】この液晶表示装置は、液晶表示パネルと、正極性の表示信号を第1の信号線14に供給する第1の信号線駆動回路11と、負極性の表示信号を第2の信号線15に供給する第2の信号線駆動回路12、アドレス線駆動回路13と、供給される画像信号の極性を反転させる極性反転回路31と、極性反転回路により反転した画像信号をシーケンシャルに第1の信号線駆動回路11と第2の信号線駆動回路12とに分配する分配スイッチ31aとを具備する。極性反転回路31及び分配スイッチ31aでの処理はどのようなものであってもよいが、外部より入力された表示信号のうち正極性書込みの表示信号については正極性で第1の信号線駆動回路11へ、負極性書込みの表示信号については負極性で第2の信号線駆動回路12へそれぞれ入力するように構成するようによればよい。

【0098】図7は、図6に例示した本発明の液晶表示装置のアレイ基板10の構成を概略的に示す図である。例えば、アドレス線駆動回路13により、アドレス線16をインターレースで上から下へ( $G_n$ から $G_{n+1}$ 方向

へ) 走査していく。すなわち第1フィールドでは奇数番目のアドレス線16を、第2フィールドでは偶数番目のアドレス線16を駆動する。それぞれのアドレス線16にゲート電極が接続された薄膜トランジスタのうちON状態となった薄膜トランジスタについては、第1の信号線14または15より表示信号が印加される。これにより、水平方向極性反転方式の駆動を行う際においても、各第1の信号線駆動回路11、12の極性は常に一定にすることができる。また、垂直方向極性反転方式の駆動を行う場合には、所定のアドレス線のみを走査するようにすればよい。

【0099】(実施形態4) 図8は本発明の液晶表示装置のアレイ基板のさらに別の構成を概略的に示す図であり、ドット反転駆動を行う場合の構成の例である。すなわち正極性の表示信号を供給する第1の信号線駆動回路11と、負極性の表示信号を供給する第2の信号線駆動回路12とにより表示領域にマトリクス状に配設された画素電極20のドット反転駆動を行う場合には、行方向に隣接する画素電極20間で接続する信号線を異ならせるようにすればよい。

【0100】図9は図8に例示した本発明の液晶表示装置において、各アドレス線16を選択した際の画素電極20の極性パターンを説明するための図である。すなわち、図9(A)は、画素電極20aと画素20dには薄膜トランジスタ22を介して第2の信号線駆動回路12から負極性の表示信号が供給されており、画素電極20bと画素電極20cには薄膜トランジスタ21を介して第1の信号線駆動回路11から正極性の表示信号が供給されている状態を示している。また図9(B)は、画素電極20aと画素電極20dには薄膜トランジスタ21を介して第1の信号線駆動回路11から正極性の表示信号が供給されており、画素電極20bと画素電極20cには薄膜トランジスタ22を介して第2の信号線駆動回路12から負極性の表示信号が供給されている状態を示している。

【0101】このように本発明の液晶表示装置によれば、正極性の表示信号を供給する第1の信号線駆動回路11と、負極性の表示信号を供給する第2の信号線駆動回路12とにより表示領域にマトリクス状に配設された画素電極20のドット反転駆動を行うことができる。したがって、信号線駆動回路の駆動周波数を大幅に低減し、電磁障害を低減するとともに、消費電力を低減することができる。

【0102】図10は図8に例示した本発明の液晶表示装置をドット反転駆動する場合の駆動波形の例を概略的に示す図である。図10(A)は薄膜トランジスタ21のゲート電極に供給される走査信号V<sub>g</sub>の波形を、図10(B)は薄膜トランジスタ22のゲート電極に供給される走査信号V<sub>g</sub>の波形を、図10(C)は第1の信号線駆動回路11から供給される正極性の表示信号V<sub>sig</sub>

の波形を、図10(D)は第2の信号線駆動回路12から供給される負極性の表示信号V<sub>sig</sub>の波形をそれぞれ示している。

【0103】また、図11は従来の液晶表示装置について説明するための図である。図11(A)は従来の液晶表示装置の構成を示す図であり、図11(B)は従来の液晶表示装置によりドット反転駆動を行った場合の駆動波形の例を示す図である。従来のアクティブマトリクス型液晶表示装置では、アドレス線駆動回路91により走査信号V<sub>g</sub>を供給して薄膜トランジスタ92を選択してオン状態にし、このとき信号線駆動回路93から表示信号V<sub>sig</sub>を供給することにより画素電極94に表示信号を印加していた。このため信号線駆動回路は正極性の表示信号と負極性の表示信号とを供給する必要があり、駆動回路に供給しなければならない電圧範囲が大きく、駆動周波数も高かった。

【0104】これに対し本発明の液晶表示装置では、正極性の表示信号と負極性の表示信号とを専用の、第1の信号線駆動回路11、第2の信号線駆動回路12とにより供給する構成を採用しているため、ドット反転駆動及び水平方向極性反転駆動を行う場合にも、各駆動回路の電圧範囲を従来の半分に、さらに反転周期も大幅に低減することができる。

【0105】(実施形態5) 図12は本発明の液晶表示装置のアレイ基板のさらに別の構成の例を概略的に示す図である。この液晶表示装置は、1個の画素電極20と1本の第1の信号線14との間に薄膜トランジスタ21を備えており、1本の第1の信号線14には第1の信号線駆動回路11と第2の信号線駆動回路12の複数系統の信号線駆動回路から表示信号を供給するものである。

【0106】アドレス線駆動回路13は線順次アドレス線をG<sub>n</sub>からG<sub>n+1</sub>の方向へ走査していく。また、第1の信号線駆動回路11及び第2の信号線駆動回路12からは第1の信号線14に同一の表示信号(正極性と負極性の交流電圧)を与えており、したがって1個の画素電極20には同時に2つの信号線駆動回路によって表示信号が供給されて駆動される。

【0107】従来の液晶表示装置では表示画面を大きくしようとすると、第1の信号線14の配線容量が大きくなり、単一の信号線駆動回路では画素電極を十分に駆動することができず、コントラストが低下し、劣悪な表示しかできないという問題があった。これに対し、本発明の液晶表示装置では、1本の信号線に複数の信号線駆動回路から表示信号を供給することで駆動能力を2倍に高めている。したがって、大型の液晶表示装置のように配線容量が大きくなっても、高い品質の画像を表示することができる。なお、図12に例示した構成の本発明の液晶表示装置では、信号線電圧の変化の大きさに応じて、1つの駆動回路による駆動と2つの駆動回路による駆動

を切り換えられることもできる。図13はこのような構成を有する本発明の液晶表示装置のアレイ基板の構成の例を概略的に示す図である。シフトレジスタ+コントロール回路32は、例えば図12に示した液晶表示装置の第1の信号線駆動回路11および第2の信号線駆動回路12に配設されているものとする。また画像信号は伝送線路33により供給される。

【0108】表示信号の書込み系統の選択は、シフトレジスタ+コントロール回路33によって薄膜トランジスタ34と薄膜トランジスタ35のON/OFFを選択することにより行われる。すなわち、薄膜トランジスタ34及び薄膜トランジスタ35が両方ともオン状態の場合には第1の信号線14は第1の信号線駆動回路11と第2の信号線駆動回路12の2つの駆動回路によって駆動される。また、薄膜トランジスタ34または薄膜トランジスタ35の一方がオン状態の場合には、第1の信号線14は第1の信号線駆動回路11と第2の信号線駆動回路12のいずれか一方の駆動回路によって駆動される。例えば薄膜トランジスタ34がオン、薄膜トランジスタ35がオフの場合には、第1の信号線14には第1の信号線駆動回路11のみにより駆動される。

【0109】(実施形態6)図14は本発明の液晶表示装置の構造の例を概略的に示す断面図である。この液晶表示装置は、表示領域にマトリクス状に配設された画素電極20と、この画素電極20に表示信号を供給する複数系統の第1の信号線駆動回路11および第2の信号線駆動回路12とを有するアレイ基板10と、コモン電極41およびコモン電極41を駆動するコモン電極駆動回路42とを有する対向基板40と、これらの基板間に挟持された液晶層44とにより構成されたものである。アレイ基板10には図示しない第1の信号線14、15アドレス線駆動回路13、アドレス線16、薄膜トランジスタ21、22も配設されている。また45は液晶層44を封止するシール部材である。コモン電極41は例えばITO(Indium Tin Oxide)などの透明導電性材料により形成するようにすればよい。なおアレイ基板10は例えば実施形態1乃至実施形態5で例示したように、複数系統の表示信号供給手段が配設されたものであれば用いることができる。

【0110】この液晶表示装置では、画素選択用に薄膜トランジスタ21、22からなる薄膜トランジスタアレイと、第1の信号線駆動回路11、第2の信号線駆動回路12、アドレス線駆動回路13とがどちらも同一のアレイ基板10に形成されている。そして、これらのトランジスタアレイを構成する薄膜トランジスタのチャネル半導体膜には、poly-Si、 $\mu$ c-Si等の多結晶質シリコンを用いて形成している。

【0111】このような構成を例えば実施形態3、実施形態4、実施形態5で説明した本発明の液晶表示装置に適用することにより、例えば一方の信号線駆動回路をn

-chTFTにより構成し、他方の信号線駆動回路をp-chTFTにより構成することができる。したがって、駆動回路を構成するスイッチング特性を均一にすることができる。さらに同時に駆動回路の不良が低減するから液晶表示装置の生産性を大きく向上することができる。

【0112】(実施形態7)図15は、本発明の液晶表示装置のアレイ基板のさらに別の構成の例を概略的に示す図である。この液晶表示装置では、画素電極20へは第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11c、第4の信号線駆動回路12a、第5の信号線駆動回路12b、第6の信号線駆動回路12cの6系統の信号線駆動回路から表示信号を供給する構成となっている。また、信号線14aへは第1の信号線駆動回路11aと第4の信号線駆動回路12aから表示信号を供給するようになっており、信号線14bへは第2の信号線駆動回路11bと第5の信号線駆動回路12bから表示信号を供給するようになっており、信号線14cへは第3の信号線駆動回路11cと第6の信号線駆動回路12cから表示信号を供給するようになっている。

【0113】また、図13に例示したように、信号線選択回路51により信号線14a、14b、14cのうち、どの信号線を用いて画素電極20への表示信号電圧の供給を行うかを選択できるようになっている。信号線選択回路51での処理方法は画素電極20へ表示信号の入力系統の切り換えが行えれば必要に応じて構成するようにすればよい。なおいずれの場合でも画素電極20に表示信号を充分印加できるように構成にする必要がある。また本実施例において、信号線駆動回路をp-Siで形成し、第1から第6までのいずれかの信号線駆動回路に不良が生じた場合は、信号線選択回路によって不良の信号線駆動回路からの電圧供給を行わないようにすることができる。つまり、画素マトリクスを駆動する信号線駆動回路を2セット以上有する構成となるため、アレイ形成段階1セットの信号線駆動回路において不良が生じた場合においても、その他の信号線駆動回路によって画素電極への電圧供給が可能となる。

【0114】このような構成を採用する場合、信号線の本数及び薄膜トランジスタなどのスイッチング素子の数の増加に伴って開口率が低下することになるが、画素電極20を反射率の高い金属を用いた反射画素電極として構成し、アドレス線16、信号線14a、14b、14c、薄膜トランジスタ21a、21b、21c、22a、22b、22c等の画素電極20へ表示信号を選択的に印加する手段を、反射画素電極の裏面側に配設した反射型液晶表示装置とすることによって、開口率の低下を防止することができる。

【0115】(実施形態8)図16は本発明の液晶表示装置のさらに別の構成の例を概略的に示す図である。

この液晶表示装置も画素電極20への複数系統の表示信号供給系を備えており、この例では画素電極20へは第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cから表示信号を供給する構成となっている。また第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cはともにデジタルな表示信号を各信号線14a、14b、14cへ供給するようにしてもよい。この場合、信号線14a、14b、14cを表示信号のビット数などに対応させて必要に応じて複数本備えるように

【0116】画素電極20と信号線14a、14b、14cとの間には論理回路51が介挿されている。この論理回路51は、信号線14a、14b、14cにデジタルな表示信号が供給される場合、アドレス線16に供給される走査信号（例えばクロック信号と制御信号）により信号線14a、14b、14cから表示信号をサンプリングするサンプリング回路と、サンプリングした表示信号を保持するメモリ手段と、メモリした表示信号をD/A変換して画素電極20へ印加するD/A変換手段とを有している。このような論理回路は例えば10入力ANDゲートと、データラッチと、D/Aコンバータにより構成するようにしてもよい。

【0117】さらに論理回路51内に抵抗と容量により構成された分圧回路を備えるようにしてもよい。このような分圧回路を備えることにより例えば信号線14a、14b、14cから供給されるデジタルな表示信号の中間値の表示信号電圧を生成して画素電極20に印加することにより中間調表示を行うことができる。

【0118】なお、第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cからデジタルな表示信号を各信号線14a、14b、14cへ供給し、論理回路51でD/A変換する場合には、抵抗分割を行う必要はない。しかしながら、第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cからアナログな表示信号が各信号線14a、14b、14cへ供給される場合には、抵抗分割は必要である。例えば論理回路51内に信号線14a、14b、14cを選択する選択スイッチを備えるようにすればよい。これにより駆動電圧範囲の異なる複数の駆動回路により画素電極20に表示信号を

【0119】また第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cに供給する電源電圧は、例えば、電源電圧V1と電源電圧V2とを抵抗R1、抵抗R2、抵抗R3により分圧して複数レベルの電源電圧を供給するようにしてもよい。例えば、第1の信号線駆動回路11aの低電位側電源電圧をVSS1、高電位側電源電圧をVDD1、第2の信号線駆

動回路11bの低電位側電源電圧をVSS2、高電位側電源電圧をVDD2、第3の信号線駆動回路11cの低電位側電源電圧をVSS3、高電位側電源電圧をVDD3とし、 $VSS1 = V2$ 、 $VDD1 = VSS2 = V4$ 、 $VDD2 = VSS3 = V3$ 、 $VDD3 = V1$ とすることができる。

【0120】図17は第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cに供給する電源電圧をレベルシフトした電圧波形の例を示す図である。いま、電源電圧V1を+15Vから0Vへ、電源電圧V2を0Vから-15Vへとレベルシフトして抵抗R1、抵抗R2、抵抗R3により分圧することにより、電源電圧V3を+10Vから-5Vへ、電源電圧V4を+5Vから-10Vへとレベルシフトして4つの異なる電源電圧により第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cを駆動することができる。このような分圧回路は例えば論理回路51内に備えるようにしてもよいし、信号線駆動回路に備えて信号線にはアナログな表示信号電圧を供給するようにしてもよい。

【0121】図18は第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cに供給する電源電圧をレベルシフトした電圧波形の別の例を示す図である。この例では1水平期間（1H期間）中に、電源電圧V1と電源電圧V2としてランブ波形を印加し、抵抗R1、抵抗R2、抵抗R3により分圧することにより第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cの電源電圧を変化させることができる。このように、各信号線駆動回路に供給する電源電圧V1、電源電圧V2、電源電圧V3、電源電圧V4をレベルシフトさせることにより、各信号線14a、14b、14cに供給する信号電圧のレベルをシフトさせることができる。したがって、画素電極20へ印加する表示信号電圧も電源電圧V1と電源電圧V2とに応じて変化させることができる。これにより消費電力を低減することができる。また、例えば高電圧駆動を必要とする液晶材料を液晶層として用いる場合でも、信号線駆動回路として低耐圧の信号線駆動回路を用いることができる。例えば図16の構成では、5Vの耐圧の信号線駆動回路を3段階に用いることにより、15V駆動が必要な液晶層を用いることができる。

【0122】なお、この例では第1の信号線駆動回路11a、第2の信号線駆動回路11b、第3の信号線駆動回路11cを個別にした構成を説明したが、これら複数の信号線駆動回路を単一の集積回路として形成するようにしてもよい。

【0123】図34は本発明の液晶表示装置の構成の別の例を概略的に示す図である。この信号線駆動回路11は、複数の信号供給系統を有する1つの駆動回路である。そして、この信号線駆動回路11に、3レベル以上



の複数の電位を供給するか、内部に電源回路を備えるようにすればよい。この例では0[V]、5[V]、10[V]、15[V]の4レベルの電位を供給している。そして供給される表示データに応じて電源切替えスイッチ52を切り換えている。表示データはラッチ53に保持され、出力バッファ54によりアナログ電圧として信号線に印加される。

【0124】また、信号線駆動回路11には、2レベルの電位を供給し、抵抗分割により3レベル以上の複数の電位を得るようにしてもよい。そして、駆動電圧範囲の異なる複数の信号供給系を備え、表示データに対応した書き込み電圧を駆動電圧範囲を含む信号供給系から表示信号を信号線に出力するようにすればよい。本発明の液晶表示装置では、このように表示データに応じて電源を切り換えて用いることもできる。

【0125】なお、本発明は透過型液晶表示装置にも、反射型液晶表示装置にも適用することができる。また例えばスイッチング素子としては薄膜トランジスタを用いた例について説明したが、例えばMIMなど他のスイッチング素子を用いるようにしてもよい。

【0126】(実施形態9) 図20は本発明の液晶表示装置の構成の別の例を概略的に示す図である。この液晶表示装置は例えば図1に例示したように、複数の信号線駆動回路を備えたものである。

【0127】画素電極20には、大きさの異なる2個のTFT21、TFT22が接続している。TFT21のゲートはアドレス線23に接続しており、ソース・ドレインは信号線14に接続している。一方、TFT22のゲートはアドレス線24に接続しており、ソース・ドレインは信号線15に接続している。アドレス線駆動回路13により、TFT21、22のオンオフを制御することにより、第1の駆動回路11または第2の駆動回路12から供給される表示信号を画素電極20に選択的(同時に含む)に印加することができる。

【0128】図21は図20に例示した液晶表示装置の画素の等価回路を示す図である。スイッチング素子として用いているTFTは、一般的にゲート・ソース間およびゲート・ドレイン間に寄生容量を持つ。TFT21には、ゲート・ソース間の寄生容量( $C_{gs}$ )28、ゲート・ドレイン間の寄生容量( $C_{ds}$ )27、が等価的に図21に示すように寄生している。同様にTFT22にも、ゲート・ソース間の寄生容量( $C_{gs}$ )30、ゲート・ドレイン間の寄生容量( $C_{ds}$ )29が寄生している。

【0129】これら寄生容量の中で、画素電極20への書き込み信号に対する影響が最も強いのはゲート・ソース間の寄生容量( $C_{gs}$ )である。この寄生容量の影響は突き抜け電圧として表示信号へ現れる。

【0130】突き抜け電圧の値を $\Delta V_s$ とし、ゲート信号の振幅値を $V_g$ 、1画素の液晶容量を $C_{LC}$ 、蓄積補助容量を $C_s$ とすると、

$$\Delta V_s = \{ (C_{gs} \times V_g) / (C_{LC} + C_s + C_{gs}) \}$$

となる。

【0131】この式から、 $C_{gs}$ が大きいほど本来画素電極に書き込むべき表示信号の信号電圧から、実際に画素に書き込まれる信号電圧がずれて行くことがわかる。したがって、画素電極に書き込むべき信号電圧と、実際に書き込まれる信号電圧との差を少なくするためには、寄生容量 $C_{gs}$ を小さく、即ちTFTサイズを小さくすればよい。しかしながら、TFTサイズを小さくすることは、TFTの電流供給能力を小さくすることである。電流供給能力が小さいと、書き込み期間内で表示信号の書き込みが完了しない場合もある。この問題は、画素数の多い高精細な液晶表示装置では顕著である。したがって、1つの画素に接続されている2つのTFT21、22のどちらか一方の電流供給能力を大きくし、他方のTFTの電流供給能力をより小さくすればよい。この例では、TFT21をTFT22よりも大きく形成することにより電流供給能力を大きくしている。

【0132】図22(A)、図22(B)、図22(C)、図22(D)はTFT21のサイズをより大きくし、TFT22のサイズをより小さくした場合の、アドレス線波形、信号線波形および画素電位波形の例を示す図である。図22(A)はTFT21のゲートに印加されるアドレス線波形( $V_{qn}$ )、図22(B)はTFT22のゲートに印加されるアドレス線波形( $V_{qn+1}$ )、図22(C)は信号線14および15に印加される信号線つまり表示信号波形、図22(D)は前述の各波形が印加された場合の画素電極の電位( $V_{pix}$ )をそれぞれ表している。この例では、第1の信号線駆動回路11と第2の信号線駆動回路12から、同じレベルの電位を信号線14、15にそれぞれ印加している。

【0133】サイズが大きく電流供給能力が大きいTFT21ではゲートに印加されるアドレス線波形( $V_{qn}$ )がONすることにより信号線14の表示信号電圧が急速に書き込まれて行く。しかしながら、ゲート・ソース間の寄生容量( $C_{gs}$ )28とアドレス線波形( $V_{qn}$ )OFF時の立ち下がりで生じる突き抜け電圧 $\Delta V_s(21)$ により、最終的に画素電極に書き込まれる電圧は信号線14から供給される信号電圧から大きくずれてしまう。

【0134】しかしながら、次にTFTサイズの小さいTFT22がアドレス線波形( $V_{qn+1}$ )でONされると、先の突き抜け電圧 $\Delta V_s(21)$ で不足していた電圧から再度、信号線15の表示信号電圧が書き込まれて行く。このとき、TFT22は電流供給能力が小さい。このため、画素電位の書き込み波形の傾きはTFT21の場合の書き込み画素電位の傾きよりも小さいが、既にTFT21により書き込みの殆どが終了しているため、十分に最終画素電位、つまり書き込むべき表示信号電位まで到達することができる。

【0135】また、TFT22の場合はサイズがTFT

21よりも小さく、寄生容量( $C_{qs}$ )30も小さい。このため、アドレス線波形( $V_{qn+1}$ )がOFFする時に生じる突き抜け電圧 $\Delta V_s(22)$ も極めて小さくすることが出来る。

【0136】以上のような構成を採用することにより、電流供給能力を大きなTFTを用いて短時間で表示信号の書き込みを行っても、突き抜け電圧による電位変動を極めて小さく抑えることができる。したがって、大画面、高精細な液晶表示装置の表示品質を向上することができる。

【0137】また、上述の式から、画素電極への書き込み信号電圧の誤差、即ち突き抜け電圧 $\Delta V_s$ はゲート・ソース間の寄生容量 $C_{qs}$ と、画素容量 $C_{LC}$ との比に依存している。つまり画素容量 $C_{LC}$ に比較してゲート・ソース間の寄生容量 $C_{qs}$ が小さければ突き抜け電圧も小さくなる。したがって、本発明の液晶表示装置のように、書き込み終了時点の等価的な寄生容量を小さく抑制することにより、画素容量を小さくしても、突き抜け電圧を小さいままにおさえることができる。つまり、画素容量を大きくするために付加している蓄積容量( $C_s$ )を小さくできる。このため、 $C_s$ を縮小した分だけ画素の開口率を高くすることができ、表示品質を向上することができる。

【0138】図23(A)は本発明の液晶表示装置の画素の平面構成を概略的に示す図であり、図23(B)は図23(A)に示した画素のAA方向の断面構造を概略的に示す図である。前述のようにTFT21はTFT22よりも大きく形成されている。

【0139】TFT21は、無アルカリガラスなどの絶縁性の基板21aと、この基板上に配設されたゲート電極21gと、ゲート電極21gを覆って配設されたゲート絶縁膜21iと、ゲート絶縁膜上に配設された半導体膜21cと、半導体膜21cとオーミック接合したソース電極21s、ドレイン電極21dと、から構成されている。21eはエッチングストップである。ゲート電極21gはアドレス線23の一部として形成されている。またドレイン電極21d信号線14と接続され、ソース電極21sはITOなどから形成された画素電極20と接続している。TFT22も同様の構造を有している。

【0140】この画素では、下部電極19により、画素電極20との間に蓄積容量 $C_s$ が形成される。この下部電極19により画素の開口率は低下する。本発明の液晶表示装置では、蓄積容量を小さくしても、突き抜け電圧の影響を小さく抑制することができるため、下部電極19を小さくすることができる。したがって、画素の開口率を大きくし明るい表示を実現することができる。

【0141】図24は本発明の液晶表示装置の画素の平面構成の別の例を概略的に示す図である。この例でも、TFT21はTFT22よりも大きく形成されている。そして信号線駆動回路11から画素電極20へいたる信

号供給経路は、信号線駆動回路12から画素電極駆動回路20へいたる信号供給経路よりも、より電流供給能力が高くなるように配設されている。例えば信号線14は信号線15よりも断面積が大きくなるように配設されている。

【0142】このような構成を採用することにより、複数の信号供給系をより効率的に用いることができ、表示品質を向上することができる。

【0143】なお、第1のスイッチング素子、第2のスイッチング素子を複数のTFTから構成してもよい。このようにしても、各スイッチング素子の電流供給能力を変えることができる。例えば信号線と画素電極との間に同じTFTを並列に介挿すれば電流供給能力は大きくなる。一方、信号線と画素電極との間に同じTFTを直列に介挿すれば電流供給能力は小さくなる。

【0144】図44は本発明の液晶表示装置の画素の構成例を概略的に示す図である。ここでは、第1のスイッチング素子21aとして、第1の信号線14と画素電極20との間に複数のTFTを並列に介挿している。また第2のスイッチング素子22aとしては、第2の信号線15と画素電極20との間に1個のTFTを介挿している。この場合、画素電極20と接続しているTFTはすべて同じTFTである。このようにすることにより、TFTの $W/L$ が実質的に2倍になったのと同様の効果を得ることができる。なお第1のスイッチング素子21aを構成する2個のTFTのゲート電極は共用してもよい。

【0145】図45は本発明の液晶表示装置の画素の構成例を概略的に示す図である。ここでは、第2のスイッチング素子22bとして、第2の信号線15と画素電極20との間に複数のTFTを直列に介挿している。この場合、TFTの $W/L$ が実質的に1/2になったのと同様の効果を得ることができる。また第1のスイッチング素子21bとしては、第1の信号線14と画素電極20との間に1個のTFTを介挿している。この場合も、画素電極20と接続しているTFTはすべて同じTFTである。

【0146】このような構成を採用することにより、画素アレイをすべて同じ薄膜トランジスタから構成することができる。したがって、設計の自由度、生産性を向上することができる。

【0147】図25は、アドレス線駆動回路13の構成の例を示す図である。図25に示すアドレス線駆動回路13は、垂直走査開始(STV)信号を順次シフトしてアドレス信号を発生させるシフトレジスタ133、シフトレジスタ133の出力をON/OFF制御するANDゲート134、135、ANDゲート出力を実際のTFTのゲートへ印加する信号レベルに変換するレベルシフタ136、などから主として構成された回路である。また132は、アドレス線駆動回路内の走査信号を、13

8はTFT21のアドレス線駆動時間可変信号を、139はTFT22のアドレス線駆動時間可変信号を、140はアドレス線駆動回路用シフトパルスをそれぞれ示している。

【0148】図25に例示したようなアドレス線駆動回路13を用いることにより、サイズの大きなTFT21のゲートに印加するアドレス信号( $V_{qn}$ )と、サイズの小さなTFT22に印加するアドレス信号( $V_{qn+1}$ )とを、それぞれ最適なタイミングでON/OFFすることが可能となる。つまり、サイズの大きなTFT22のゲートに印加するアドレス信号( $V_{qn}$ )は、ANDゲート134に印加されている出力制御信号(OE2)を任意に可変することにより、最適なアドレス信号印加時間を設定することができる。同様に、サイズの小さなTFT22に印加するアドレス信号( $V_{qn+1}$ )は、ANDゲート35に印加する出力制御信号(OE1)を任意に可変することにより、最適なアドレス信号印加時間を設定することができる。

【0149】図26(A)、図26(B)、図26(C)、図26(D)、図26(E)、図26(F)はTFT21、TFT22の駆動波形の例を示す図である。ここではTFT21ゲートに印加するアドレス信号( $V_{qn}$ )と、TFT22に印加するアドレス信号( $V_{qn+1}$ )の印加時間を可変とした場合の波形の例を示す。図26(A)～図26(F)に示す例では、サイズの大きいTFT21へのアドレス信号( $V_{qn}$ )を長くし、書き込み時間をより短くする例を示している。この場合にも、TFT21により表示信号を急速に画素電極に書き込むが、TFTのサイズが大きいため大きな寄生容量 $C_{qs28}$ を有している。このため大きな突き抜け電圧 $\Delta V_s(21)$ が生じる。しかしその後、サイズの小さなTFT22により最終的な、つまり正しい表示信号まで書き込みが行われる。このTFT22の寄生容量( $C_{qs}$ )28は十分小さく、突き抜け電圧による画素電位変動 $\Delta V_s(22)$ を小さく抑えることができる。この場合にも、書き込み時間を短くしたことによる書き込み不足や、TFTサイズを大きくしたことによる突き抜け電圧 $\Delta V_s$ の増大による画素電位の変動を小さく抑えることができる。したがって、大画面、高精細な液晶表示装置のように、書き込み時間が短縮される場合の駆動能力を向上することができる。

【0150】図27(A)、図27(B)、図27(C)、図27(D)、図27(E)、図27(F)はTFT21、TFT22の駆動波形の例を示す図である。ここでは、サイズの大きなTFT21のゲートに印加するアドレス信号( $V_{qn}$ )と、サイズの小さなTFT22に印加するアドレス信号( $V_{qn+1}$ )の、それぞれのTFTへの印加時間を可変とし、さらに双方のアドレス信号をオーバーラップさせた場合の例を示す。

【0151】図27(A)～図27(F)の場合には、

オーバーラップ期間の開始時刻でサイズの小さなTFT22へ印加されるアドレス信号( $V_{qn+1}$ ) (図27(C))の立ち上がり波形と、TFT22の寄生容量( $C_{qs}$ )30とにより、画素電位を押し上げる方向の突き抜け電圧が発生する。ところが、寄生容量( $C_{qs}$ )30が小さいこと、およびサイズの大きなTFT21とサイズの小さいTFT22とが同時に1つの画素電極を駆動することによる駆動能力の増大とにより、オーバーラップ期間の開始時刻の突き上げの影響を小さく抑制することができる。

【0152】オーバーラップ期間が終了するときには、サイズの大きなTFT21の寄生容量( $C_{qs}$ )28による大きな突き抜け電圧 $\Delta V_s$ 28が生じる。しかしその後、サイズの小さなTFT22により最終的な、つまり正しい表示信号まで書き込みが行われ、なおかつ書き込み終了時のTFT22の寄生容量( $C_{qs}$ )30は十分小さい。これにより、突き抜け電圧による画素電位変動 $\Delta V_s(22)$ を小さく抑えることができる。

【0153】この例でも、書き込み時間を短くしたことによる書き込み不足や、TFTサイズを大きくしたことによる突き抜け電圧 $\Delta V_s$ の増大による画素電位の変動が小さく抑えることができる。そして書き込み時間をオーバーラップさせることによりさらに書き込み時間を短縮することができる。したがって、大画面で高精細な液晶表示装置の表示品質を向上することができる。

【0154】〈実施形態10〉次に、本発明の液晶表示装置の構成の別の例について説明する。この例では、1画素について複数系統の信号供給系を備えるとともに、それぞれのスイッチング素子、信号線、信号線駆動回路の特性が系統により異なる構成について説明する。

【0155】液晶表示装置の基本的な構成は図1の構成と同様であるが、信号線駆動回路11と、信号線駆動回路12の特性が異なっている。例えば、サイズの大きなTFT21に接続されている第1の信号線駆動回路11の画像表示能力、つまり表現可能な階調数を制限することで信号線駆動回路11を構成する回路素子数を少なくする。また、信号線駆動回路11の出力部の素子サイズを大きくし電流駆動能力を大きくする。

【0156】さらに、サイズの小さなTFT22に接続されている第2の信号線駆動回路12の画像表示能力、つまり表現可能な階調数を必要十分として信号線駆動回路12を構成する回路素子数を十分な数とする。そして、信号線駆動回路12を構成する素子の電流駆動能力を小さく、つまり回路を構成する素子サイズを小さくする。このような構成を採用することにより、サイズの大きなTFT21に供給する表示信号とサイズの小さなTFT22に供給する表示信号とを最適化することができる。

【0157】また第2の信号線駆動回路12を、第1の信号線駆動回路11よりも高精度に形成するようにして

もよい。この場合、第2の信号線駆動回路12を構成する素子(TFT、受動素子など)を、第1の信号線駆動回路11を構成する素子よりも大きく形成する。個々の素子をより大面積に形成することにより、製造時のマスクずれ等の影響を小さく抑制することができる。したがって、駆動回路を構成する個々の素子のばらつきが小さくなり、より精度の高い信号供給を行うことができる。

【0158】さらに第1の信号線駆動回路11に関わるTFT21を大きく、第2の信号線駆動回路12に関わるTFT22を小さく形成することが好適である。なぜなら、TFT21、TFT22は主としてアナログスイッチとして動作するため、飽和領域での動作が中心となる。このためゲート・ドレイン間の寄生容量を小さくすることでさらなる信号供給の高精度化を図ることができるからである。

【0159】また信号線駆動回路11の駆動能力を、信号線駆動回路12の駆動能力よりも低く形成するようにしてもよい。この場合、信号線駆動回路11に用いるTFTの相互コンダクタンス( $g_m$ )を信号線駆動回路12に用いるTFTの相互コンダクタンスよりも小さくする20ようにすればよい。相互コンダクタンスを大きくするには、例えばTFTのチャネル長 $L$ をより短く、チャネル幅 $W$ をより長くすればよい。

【0160】このように本発明の液晶表示装置では、複数系統の信号供給系の電流供給量を異ならせている。すなわち、よりサイズが大きく、電流供給能力が高いTFTをより大きな電流の制御に用いる。またよりサイズが小さく、電流供給能力が低いTFTをより小さな電流の制御に用いる。同時に、電流供給量が大きい信号供給系のアドレス線および信号線の断面積を大きくしてもよい。30またより抵抗の低い材料から構成するようにしてもよい。さらにより高いゲート電極を印加するようにしてもよい。一方、電流供給量がより小さい信号供給系のアドレス線および信号線の断面積を小さくしてもよい。またより抵抗の高い材料から構成するようにしてもよい。さらにより低いゲート電極を印加するようにしてもよい。

【0161】図28(A)、図28(B)、図28(C)、図28(D)、図28(E)は第1の信号線駆動回路11と第2の信号線駆動回路12との特性を異ならせた場合の駆動波形の例を示す図である。40

【0162】図28(A)～図28(E)に示す波形の場合は、前述のように、サイズの大きなTFT21に接続されている第1の信号線駆動回路11の階調数を制限し電流駆動能力を大きくし、さらにサイズの小さなTFT22に接続されている第2の信号線駆動回路12の階調数を必要十分とし電流駆動能力を小さくした場合の波形例を示している。

【0163】つまり、第1の信号線駆動回路11の階調数は少ないから、入力される表示データの上位ビットの50

みで動作させる。その一方で、十分な階調数を表現できる第2の信号線駆動回路12は入力された表示信号の全ビットを用いて動作させることになる。

【0164】例えば、入力表示信号が8ビットであった場合は、第1の信号線駆動回路11は入力表示信号の上位4ビットで動作させ、第2の信号線駆動回路12は8ビットで動作させればよい。したがって、階調数の少ない第1の信号線駆動回路11は回路を構成する素子数を、十分な階調数を表現できる第2の信号線駆動回路12に比べて、少なく構成することができる。

【0165】例えばこのことは、第1の信号線駆動回路11、第2の信号線駆動回路12やアドレス線駆動回路13をpoly-Siなどで画素アレイと一体形成した液晶表示装置の場合などに、画素アレイ周辺に配置された駆動回路を最適化することができることを意味する。このため、液晶表示装置を構成する基板サイズを表示画面を縮小することなく小さくすることができる。

【0166】図28(A)～図28(E)の例では、TFTサイズが大きく電流供給能力が大きいTFT21に印加される表示信号( $V_{sig15}$ ) (図28(C))は階調数が少ない。このため、最終的に書き込む表示信号である $V_{sig14}$ よりは大きな信号振幅となってしまう。しかし、TFT21のゲート・ソース間の寄生容量( $C_{gs}$ )28とアドレス線波形( $V_{qn}$ )OFF時の立ち下がりで生じる突き抜け電圧 $\Delta V_{s(21)}$ により、画素電位が最終的に書き込むべき画素電位方向へ変動すること、およびサイズの小さいTFT22と十分な階調数を有する第2の信号線駆動回路12からの表示信号( $V_{sig14}$ ) (図28(D))により、最終的に正しい表示信号を書き込むことができる。30

【0167】図29は対向電極電位に対して電位が低い負極性の表示信号を書き込む場合の各部の波形例を示す図である。

【0168】図29の場合も図28の場合と同様に、電流供給能力が大きいTFT21に印加される表示信号( $V_{sig15}$ ) (図29(C))は階調数が少ない。このため、最終的に書き込む表示信号である $V_{sig14}$ とは多少異なる信号 $V_{sig15}$ が画素電極に印加される。また図28の正極性の表示信号書き込みの場合と異なると、最終的に書き込まれる表示信号に対して、低レベルにシフトした表示信号を第1の信号線駆動回路11から出力させる。これにより、サイズの大きなTFT21のゲートに印加されるアドレス線波形( $V_{qn}$ )が、OFF時の立ち下がりで生じるゲート・ソース間の寄生容量( $C_{gs}$ )28とアドレス線波形( $V_{qn}$ )突き抜け電圧 $\Delta V_{s(21)}$ により書き込み不足電圧を補正する方向に作用する。更に、サイズの小さいTFT22と十分な階調数を有する第2の信号線駆動回路12からの表示信号( $V_{sig14}$ ) (図29(D))により、最終的に正しい表示信号が書き込まれる。50

【0169】以上のように、電流供給能力の高い信号供給系には出力階調数の少ない駆動回路を用い、電流供給能力の低い信号供給系には出力階調数の多い駆動回路を用いることにより、駆動回路の構成素子数を低減することができる。

【0170】なお、この実施形態では、TFT21のゲート電極とTFT22のゲート電極とは別のアドレス線に接続した例を示したが、同じアドレス線に接続するようにしてもよい(図4参照)。このような構成を採用することにより、さらに開口率を高くし、またアドレス線駆動回路13を小さくすることができる。したがって、液晶表示装置を小形化し、消費電力を低減することができる。

【0171】このように本発明の液晶表示装置によれば、画素電極1つについて複数の信号供給系を備えることにより、またそれぞれの信号供給系の電流供給能力を最適化することにより、画素の開口率を低下させることなく、短時間で信号書き込みを実現することができる。また、突き抜け電圧による画素電位の変動を最小に抑え、表示品質を向上することができる。

【0172】また、画素電極に具備している複数のスイッチング素子のうち、サイズの大きなスイッチング素子に接続されている信号線駆動回路の電流供給能力を大きくするとともに出力可能な階調数を減らして構成素子数を低減させることにより、信号線駆動回路の回路規模の増加を抑えながら十分な書き込みを行うことができる。また、1つの画素に具備している複数のスイッチング素子のうちサイズの小さなスイッチング素子に接続されている信号線駆動回路の電流供給能力を小さくするとともに、十分な出力階調数をもたせることにより、画素電極への正しい表示信号書き込みを行うことができる。このような構成にすることにより、特に周辺回路をpoly-SiTFTで構成した場合に、画素の開口率低下を抑え、なおかつ周辺回路の増加も抑えた液晶表示装置を構成することができる。

【0173】このように本発明の液晶表示装置によれば、TFTを1画素に複数具備した場合でも開口率の低下を抑えることができる。また駆動時間を短くした場合にも画素電極への表示信号書き込みを正しく行うことができる。

【0174】(実施形態11) 図30は本発明の液晶表示装置の構成を概略的に示す図である。この例では、前述のように、第1の信号線駆動回路11と第2の信号線駆動回路に供給される表示データのビット数がことなる液晶表示装置を説明する。なおこの例では供給される表示データが8ビットの場合について説明するが、表示データのビット数は必要に応じて増減すればよい。

【0175】表示コントローラ100は、供給された8ビットの表示データから、上位4ビットのみを取り出して第1の表示データとして第1の信号線駆動回路に供給

する。また供給された8ビットの表示データをフルビットの第2の表示データとして第2の信号線駆動回路12へ供給する。この場合、前述のように第1の信号線駆動回路11の出力階調数を減らして構成素子数を低減することができる。

【0176】図31は表示コントローラ100の構成の例を示す図である。入力した表示データはラッチ回路101に保持される。同時に入力同期信号は表示タイミング制御回路へ入力する。ラッチ回路100に入力された8ビットの表示データはラッチ回路102へと送られる。一方上位4ビットの表示データはラッチ回路103へと送られる。すなわち上位4ビットのデータはラッチ回路102、103へと送られ、下位4ビットのデータはラッチ回路102にのみ送られる。そして、ラッチ回路102に保持された8ビットの表示データは第2の信号線駆動回路12へ送られる。また4ビットの表示データは第1の信号線駆動回路11へと送られる。これらの動作は入力同期信号のタイミングにしたがって行われる。

【0177】図32は供給された表示データと、第1の信号線駆動回路11、第2の信号線駆動回路へ供給される表示データの関係の例を示す図である。このように第1の信号線駆動回路11からは粗い階調表示を行う表示信号が、第2の信号線駆動回路では精細な階調表示を行う表示信号が供給される。

【0178】(実施形態12) 図35は本発明の液晶表示装置の構成の例を概略的に示す図であり、図36はそのアレイ基板の構成例を概略的に示す図である。この液晶表示装置は、表示領域にマトリクス状に配設された画素電極20と、画素電極20に表示データと対応した表示信号を供給するための駆動回路が1個の画素電極について少なくとも2つ以上設けられたものである。この例では、第1の信号線駆動回路11、第2の信号線駆動回路12、アドレス線駆動回路13とにより表示信号を画素電極20へ供給している。

【0179】基本的なアレイ構成は、画素電極20と、画素電極20と信号線14との間に介挿されたスイッチング素子であるTFT21と、TFT21のオンオフを制御するアドレス線駆動回路24と、画素電極20へ表示信号を供給する信号線14及び2つ以上の信号線駆動回路11、12と、信号線駆動回路と信号線との接続を制御するスイッチであるTFT222、TFT223とを具備している。これにより、TFT222をON、TFT223をOFFにした場合は信号線駆動回路11から信号線へ表示信号が供給され、TFT222をOFF、TFT223をONにした場合は信号線駆動回路12から信号線へ表示信号が供給される。この時のTFT制御は信号線選択処理回路27から行う。または、それぞれの信号線駆動回路内にTFTを兼ね備えることもできる。そしてこのアレイ基板と対向電極を配設した対向

基板との間に、固有のあるいは電場を印加することにより誘起される自発分極を有する液晶材料を挟持し、光の透過強度を交調して表示を行う。

【0180】ここで液晶材料として反強誘電性液晶材料を用いた場合の例について説明をする。反強誘電性液晶材料は図33に図示したように電圧無印加時に黒表示を行い、電圧印加時では(+)書き込み極性での白表示と

(-)書き込み極性での白表示の2種類が存在する。このため、交流駆動を行った場合は一旦黒を経由して異なる極性の白表示を行うことになる。よって1フィールド期間中に所望の表示信号を十分に印加できない場合にはコントラストの低下もしくはフリッカが生じることになる。

【0181】このような本画質劣化を改善する方法として、極性の反転周期を長くする方法がある。具体的には極性を反転する画素を限定し、例えば1フィールド期間内にある1本のアドレス線に備わっている画素のみを反転し、残りのアドレス線に備わっている画素は前フィールド同じ極性で書き込みを行う。しかし、この方法を採用した場合にも、反転するラインの書き込み特性が十分でない場合には妨害縞となって視認される。

【0182】図37はこのような従来の液晶表示装置の画質劣化を説明するための図である。書き込みが十分でないと、静止画においては妨害縞231が、動画においてはコントラストの低下もしくはエッジぼけ232が生じる。静止画においては極性反転時の輝度低下が画質劣化の主な原因である。動画においては書き込み不足が画質劣化の主な原因である。このような問題に対する改善案として、表示に必要な電圧よりも高レベル目の電圧を印加する(オーバドライブ)駆動法が考えられる。しかし、1つの信号線駆動回路でオーバドライブを行おうとすると、オーバドライブに対応した耐圧の大きいドライバが必要となる。例えばオーバドライブ量も含めて10[V]信号振幅が必要な場合には、表示画像に関係なく、電源電圧が10[V]以上の信号線駆動回路を用いる必要がある。このため、消費電力も大きくなる。

【0183】図38は本発明の液晶表示装置の構成の別の例を概略的に示す図である。この液晶表示装置では、高電圧信号線駆動回路241(ここでは耐圧10

[V])と低電圧信号線駆動回路242(例えば耐圧5[V])を備えている。例えば、動画もしくは極性反転時のオーバドライブにおいては高電圧信号線駆動回路241を使用し、静止画での保持期間(表示画像が変わらない期間)においては低電圧信号線駆動回路242を使用するようにすればよい。

【0184】このような構成を採用することにより、画質を改善するだけでなく消費電力を低減することができる。また前述したように、例えば8ビットの表示データが供給される場合、上位4ビットのデータが変化したときには高電圧信号線駆動回路241を用い、上位4ビッ

トに変化がなければ、低電圧信号線駆動回路242を用いるようにしてもよい。

【0185】図39は信号線に印加される表示信号の信号波形と、表示信号を信号線に印加する信号線駆動回路の対応の例を示す図である。例えばフレーム間の変化の大きい画像(動画など)が表示される期間には高電圧信号線駆動回路241を用い、フレーム間の変化が小さい画像(静止画など)が表示される期間には、低電圧信号線駆動回路242を用いるようにしてもよい。また動画、静止画の区別は、表示データに含めるようにしてもよい。

【0186】(実施形態13)図40は本発明の液晶表示装置の構成の別の例を概略的に示す図である。この液晶表示装置は、固有の、あるいは電場を印加することにより誘起される自発分極を有する液晶層を用いるものである。そして、このような液晶層をリセットするためのリセット電圧供給系を、第1の信号線駆動回路225、第2の信号線駆動回路226とは別に備えている。そして、第1の信号線駆動回路225、と信号線14との間にはスイッチ222が介挿されている。同様に、第2の信号線駆動回路226と信号線14との間にもスイッチ223が介挿されている。

【0187】スイッチ222、223は選択回路により制御され、第1の信号線駆動回路225、第2の信号線駆動回路226、またはリセット電圧供給系260を選択し、信号線14へ所定の電位を印加する。このスイッチ222、223は信号線ごとに配設されており、各信号線14に印加される信号は独立して制御される。

【0188】図41は本発明の液晶表示装置の信号線電位の波形の例を示す図であり、高電圧信号線駆動回路と低電圧駆動回路との切替えの際に、リセット電圧を供給する場合の例である。表示画面の上部に高電圧信号線駆動回路を使用して動画を表示し、表示画面の下部に低電圧信号線駆動回路を使用して静止画を表示した場合を考える。このような場合、駆動回路の切り換え時に信号線に印加されている電圧によって、低電圧信号線駆動回路がラッチアップする可能性がある。本発明では、駆動回路の切替えの際に、一旦リセット電圧(ここでは0[V])が印加されるため、ラッチアップを回避することができる。

【0189】図42は本発明の液晶表示装置の信号線に印加される波形の別の例を示す図である。この例では、駆動回路切り換えの際の信号線電圧に応じて、リセット電圧を印加するかどうかを決めている。またこの例では、リセット電圧を低電圧信号線駆動回路の駆動電圧範囲の上限に設定している。

【0190】動画Aの表示期間と静止画の表示期間との間の信号線電圧は不連続であるため、駆動回路の切替えの際にリセット電圧を印加する。一方、静止画の表示期間と動画Bの表示期間との間では、静止画表示期間の最



後の電位が、高電圧信号線駆動回路と低電圧信号線駆動回路の駆動電圧範囲の重なる部分にある。この例では、リセット電圧を低電圧信号線駆動回路の駆動範囲の上限に設定している。このため、静止画の表示期間と動画Bの表示期間との間にはリセット電圧を印加することなく、そのまま高電圧信号線駆動回路へ切り換えている。

【0191】(実施形態14)第1の信号線駆動回路225の駆動電圧範囲と、第2の信号線駆動回路226の駆動電圧範囲とはシフトさせるようにしてもよい。このような構成により、画素電極に印加することができる電圧の範囲を広くすることができる。

【0192】例えば、第1の信号線駆動回路225の駆動範囲( $a[V] \leq V_1 \leq b[V]$ )と第2の信号線駆動回路226の駆動範囲( $c[V] \leq V_2 \leq d[V]$ )をシフトさせて設定する。これにより、実際に画素にかかる駆動範囲を広く設定される。ここで例えば以下に説明する2つの設定方法により実際にかかる駆動範囲V3を変えることができる。

【0193】例えば $b < c$ の時には、

$$a[V] \leq V_3 \leq b[V]$$

$$c[V] \leq V_3 \leq d[V]$$

のように設定する(設定1)。

【0194】また例えば $d \geq b \geq c \geq a$ の時には、

$$a[V] \leq V_3 \leq d[V]$$

(共通部分 $V_c: c[V] \leq V_c \leq b[V]$ )のように設定する(設定2)。

【0195】これらの設定は表示する画像に応じて変えることができる。例えば白黒表示を中心としたテキスト表示などにおいては設定1を用いる。このとき、黒表示時には第1の信号線駆動回路225を、白表示時には第2の信号線駆動回路226を使用するようにすればよい。

【0196】(実施形態15)図42に例示した駆動方法を、上述した設定2と組み合わせるようにしてもよい。すなわち、2つの信号線駆動回路の駆動電圧範囲として設定2を使用する。そして図42に例示したリセット電圧を、2つの信号線駆動回路の駆動電圧範囲の共通部分( $V_c$ )に設定する。

【0197】このような構成を採用することにより、リセット電圧はそれぞれの信号線駆動回路の駆動電圧範囲に含まれることになる。このため、2つの信号線駆動回路の切り換えを行った時にも、ラッチアップを起こすことなく実際の駆動範囲を大きくすることができる。さらに、このような構成によれば、リセット電圧供給系およびスイッチ222、223を個別に設ける必要がなくなる。また、リセット電圧を印加しない構成も可能になる。

【0198】(実施形態16)図43は本発明の液晶表示装置の信号線に印加される波形の別の例を示す図である。この例では、それぞれの信号線駆動回路の駆動電圧

範囲として上述した設定1もしくは設定2を使用している。そして、それぞれの駆動電圧範囲は、表示する画像に応じて動的にシフトさせている。

【0199】例えば極性反転駆動を行う場合を説明する。図43に示したように、設定1では $V_2$ を黒表示、 $V_1$ を白表示にした後、極性反転によって $V_1$ を黒表示、 $V_2$ を白表示とする。つまり黒表示が0[V]、白表示が $\pm 5[V]$ ならば、( $V_2 = 0[V]$ ,  $V_1 = 5[V]$ )と( $V_2 = -5[V]$ ,  $V_1 = 0[V]$ )との間でそれぞれの信号線駆動回路の電源電圧がシフトする。

【0200】以上、本発明の液晶表示装置について説明したが、各実施形態に限定せれるものではなく、その要旨を逸脱しない範囲で、種々変形して実施するようにしてもよい。例えば、各信号線駆動回路をp-Siを用いて形成することにより、パネル幅を大きくしないばかりでなく、それぞれの駆動電圧範囲に応じて製造条件を最適化することができる。

【0201】このように本発明の液晶表示装置によれば、動画と静止画など、表示画像の性質や書き換え頻度などに応じて信号線駆動回路を使い分けることができる。これにより、静止画表示の際には低消費電力の信号線駆動回路を使用し、動画表示の際には高速の高電圧信号線駆動回路を使用することができる。したがって、高画質で消費電力の低い表示装置を提供することができる。また表示画像に応じて最適な駆動が行えるように信号線駆動回路を選択するために、極性反転時の妨害波や書き込み不足に伴う応答不足を大幅に改善することができる。

【0202】

【発明の効果】以上説明したように本発明の液晶表示装置によれば、1個の画素電極に表示信号を供給する手段を複数系統備えることにより、画素電極への表示信号の書き込みを充分に行うとともに表示品質を大幅に向上することができる。

【0203】また、本発明の液晶表示装置によれば、例えば信号線駆動回路を複数備えることにより駆動周波数を低減し、消費電力、電磁障害を大幅に低減することができる。

【0204】また本発明の液晶表示装置によれば、画素電極1つについて表示信号を供給するための少なくとも2つ以上の信号線駆動回路より表示信号を供給することができるため、リセット駆動を必要とする液晶材料において、一方の信号線駆動回路よりリセット電圧を、他方の信号線駆動回路より書き込み電圧を印加することができる。したがって表示品質を向上することができるとともに消費電力、電磁障害の発生を大幅に低減することができる。

【0205】また、本発明の液晶表示装置によれば、極性反転を必要とする液晶材料を用いて、一方の信号線駆

動回路より正極性の表示信号の書き込みを、他方の信号線駆動回路より負極性の表示信号の書き込みを行うことができる。したがって各駆動回路には交流電圧を供給する必要がなくなり、消費電力を大幅に低減することができる。また信号線駆動回路の駆動周波数、駆動電圧を低減することにより電磁障害の発生を大きく低減することができる。

【0206】また本発明の液晶表示装置によれば、電流供給能力の異なる複数の信号供給系を採用することにより、表示信号の書き込み時間を短縮することができる。したがって、高精細、大画面な液晶表示装置の表示品質を向上することができる。また、突き抜け電圧による画素電位の変動を最小に抑え、表示品質を向上することができる。さらに、各画素に複数のスイッチング素子を備えることによる画素の開口率の低下を小さく抑制することができる。

【0207】また、画素電極に具備している複数のスイッチング素子のうち、サイズの大きなスイッチング素子に接続されている信号線駆動回路の電流供給能力を大きくするとともに出力可能な階調数を減らして構成素子数を低減させることにより、信号線駆動回路の回路規模の増加を抑えながら十分な書き込みを行うことができる。また、1つの画素に具備している複数のスイッチング素子のうちサイズの小さなスイッチング素子に接続されている信号線駆動回路の電流供給能力を小さくするとともに、十分な出力階調数をもたせることにより、画素電極への正しい表示信号書き込みを行うことができる。このような構成にすることにより、特に周辺回路をpoly-Si TFTで構成した場合に、画素の開口率低下を抑え、なおかつ周辺回路の増加も抑えた液晶表示装置を構成することができる。

【0208】また、本発明の液晶表示装置によれば、電源電圧の異なる信号線駆動回路を選択する場合に、ラッチアップが生じるのを回避することができる。

【0209】また、本発明によれば、耐圧の低い信号線駆動回路を複数用いるとともに、それぞれの駆動電圧範囲をずらして設定することにより、信号線に印加する電圧の範囲を拡大することができる。このため、高コントラスト、低消費電力の液晶表示装置を提供することができる。また、用いる信号線駆動回路の耐圧も低くすることができるため、用いるドライバの設計の自由度が大きくなる。

【0210】また、本発明の液晶表示装置によれば、ラッチアップ防止のためのリセット電位を、前記複数の信号線駆動回路の駆動電圧範囲の重なる部分に設定することができる。このため、表示信号によらず常に一定のリセット電位を信号線に印加することができる。これにより、表示信号の立ち上がり特性を常に一定にすることができ、前フィールドの表示信号の影響を小さくすることができる。したがって表示品質を向上することができ

る。

【0211】また、本発明の液晶表示装置によれば、それぞれの信号線駆動回路の電源電圧を表示信号に応じてシフトさせることができる。したがって、低耐圧且つ低消費電力信号線駆動回路を用いて、駆動電圧範囲を広くすることができる。また、複数の信号線駆動回路の駆動電圧範囲の重なり部分の電圧をリセット電圧とすることにより応答特性、書き込み不足を改善し、表示品質を大幅に改善することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の構成を概略的に示す図。

【図2】図1に例示した液晶表示装置のアレイ基板の構成の例を概略的に示す図。

【図3】第1の信号線駆動回路、第2の信号線駆動回路、アドレス線駆動回路から供給される駆動信号の波形の例を概略的に示す図。

【図4】本発明の液晶表示装置のアレイ基板の構成の別の例を概略的に示す図。

【図5】本発明の液晶表示装置のアレイ基板の構成の別の例を概略的に示す図。

【図6】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図7】本発明の液晶表示装置のアレイ基板の構成の例を概略的に示す図。

【図8】本発明の液晶表示装置のアレイ基板のさらに別の構成を概略的に示す図。

【図9】ドット反転駆動時の画素電極の極性パターンを説明するための図。

【図10】本発明の液晶表示装置をドット反転駆動する場合の駆動波形の例を概略的に示す図。

【図11】従来の液晶表示装置とこの液晶表示装置によりドット反転駆動を行った場合の駆動波形の例を示す図。

【図12】本発明の液晶表示装置のアレイ基板のさらに別の構成の例を概略的に示す図。

【図13】本発明の液晶表示装置のアレイ基板の構成の別の例を概略的に示す図。

【図14】本発明の液晶表示装置の構造の例を概略的に示す断面図。

【図15】本発明の液晶表示装置のアレイ基板のさらに別の構成の例を概略的に示す図。

【図16】本発明の液晶表示装置のさらに別の構成の例を概略的に示す図。

【図17】複数系統の信号線駆動回路に供給する電源電圧をレベルシフトした電圧波形の例を示す図。

【図18】複数系統の信号線駆動回路に供給する電源電圧をレベルシフトした電圧波形の別の例を示す図。

【図19】本発明の液晶表示装置によりLAO駆動を行う場合の駆動波形の例を概略的に示す図。

【図 20】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図 21】図 20 に例示した液晶表示装置の画素の等価回路を示す図。

【図 22】本発明の液晶表示装置において、TFT21 のサイズをより大きくし、TFT22 のサイズをより小さくした場合の、アドレス線波形、信号線波形および画素電位波形の例を示す図。

【図 23】本発明の液晶表示装置の画素の構成の例を概略的に示す図。

【図 24】本発明の液晶表示装置の画素の構成の別の例を概略的に示す図。

【図 25】アドレス線駆動回路の構成の例を示す図。

【図 26】本発明の液晶表示装置において、TFT21、TFT22 の駆動波形の例を示す図。

【図 27】本発明の液晶表示装置において、TFT21、TFT22 の駆動波形の例を示す図。

【図 28】本発明の液晶表示装置において、第 1 の信号線駆動回路 11 と第 2 の信号線駆動回路 12 との特性を異ならせた場合の駆動波形の例を示す図。

【図 29】本発明の液晶表示装置において、対向電極電位に対して電位が低い負極性の表示信号を書き込む場合の各部の波形例を示す図。

【図 30】本発明の液晶表示装置の構成を概略的に示す図。

【図 31】本発明の液晶表示装置において、表示コントローラの構成の例を示す図。

【図 32】本発明の液晶表示装置において、供給された表示データと、第 1 の信号線駆動回路、第 2 の信号線駆動回路へ供給される表示データの関係の例を示す図。

【図 33】反強誘電性液晶の電場と配向との関係を模式的に示す図。

【図 34】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図 35】本発明の液晶表示装置の構成の例を概略的に示す図。

【図 36】図 35 に例示した液晶表示装置のアレイ基板の構成の例を概略的に示す図。

【図 37】従来の液晶表示装置の画質劣化を説明するための図。

【図 38】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図 39】本発明の液晶表示装置において、信号線に印加される表示信号の信号波形と、表示信号を信号線に印

加する信号線駆動回路の対応の例を示す図。

【図 40】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図 41】本発明の液晶表示装置の信号線電位の波形の例を示す図。

【図 42】本発明の液晶表示装置の信号線に印加される波形の別の例を示す図。

【図 43】本発明の液晶表示装置の信号線に印加される波形の別の例を示す図。

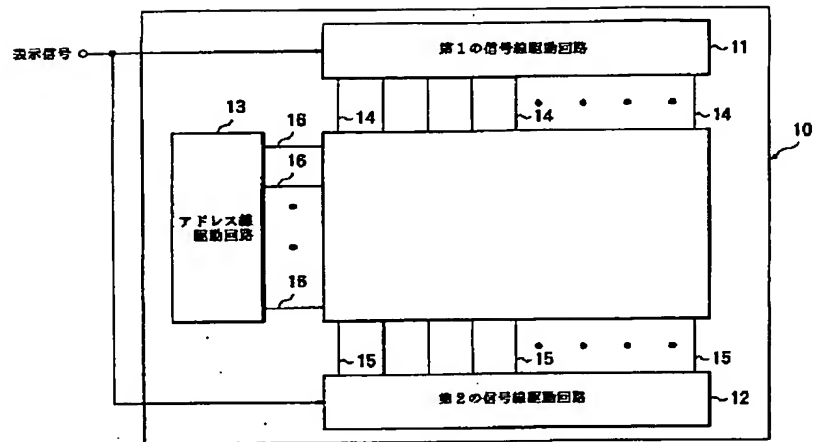
10 【図 44】本発明の液晶表示装置の画素の構成の別の例を概略的に示す図。

【図 45】本発明の液晶表示装置の画素の構成の別の例を概略的に示す図。

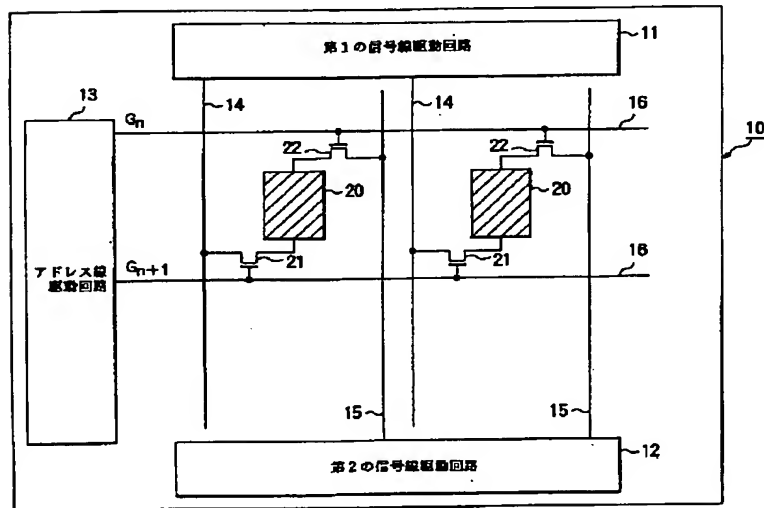
【符号の説明】

10 ……アレイ基板  
11 ……第 1 の信号線駆動回路  
12 ……第 2 の信号線駆動回路  
13 ……アドレス線駆動回路  
14 ……第 1 の信号線  
15 ……第 2 の信号線  
16 ……アドレス線  
19 ……Cs 線  
20 ……画素電極  
21 ……薄膜トランジスタ  
21c ……半導体膜  
21g ……ゲート電極  
21s ……ソース電極  
21d ……ドレイン電極  
21e ……エッチングストップ  
21i ……ゲート絶縁膜  
22 ……薄膜トランジスタ  
31 ……極性反転回路  
31a ……分配スイッチ  
40 ……対向基板  
41 ……対向電極  
42 ……対向電極駆動回路  
44 ……液晶層  
51 ……論理回路  
52 ……電源切換スイッチ  
40 54 ……出力バッファ  
27、28、29、30 ……寄生容量  
100 ……表示コントローラ  
101、102、103 ……ラッチ回路  
104 ……表示タイミング制御回路

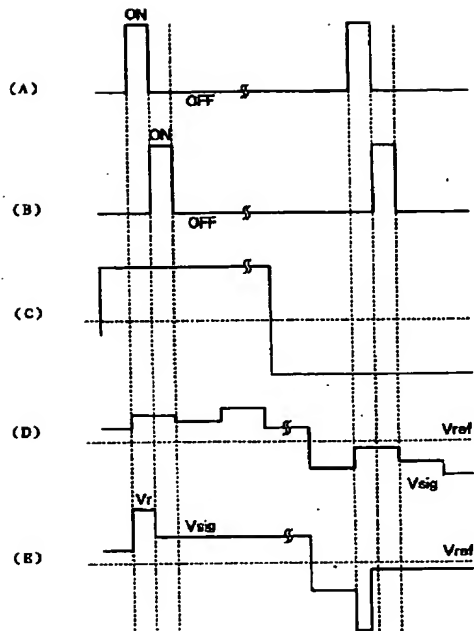
【図1】



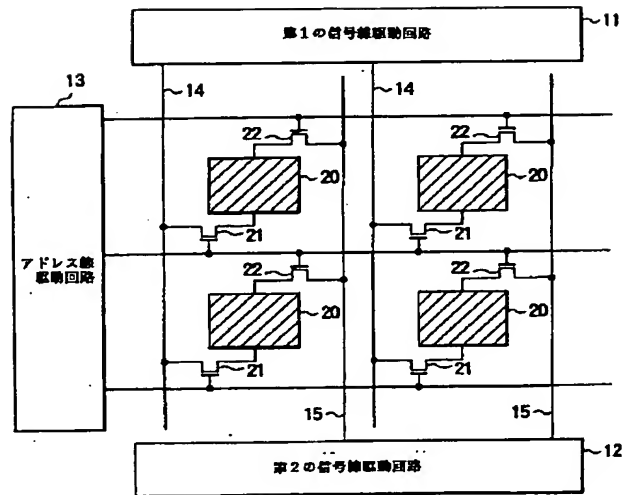
【図2】



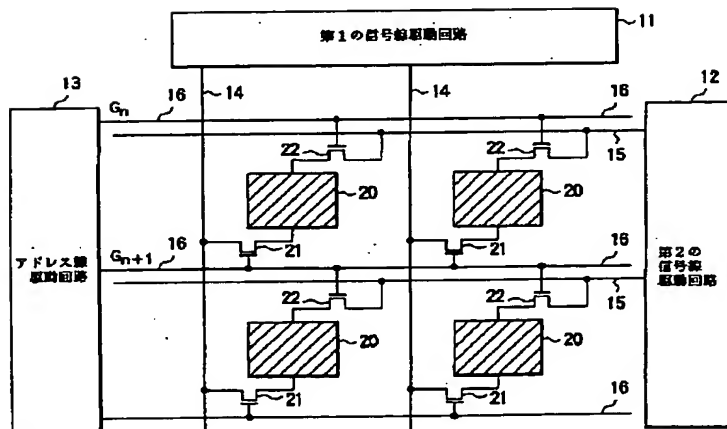
【図3】



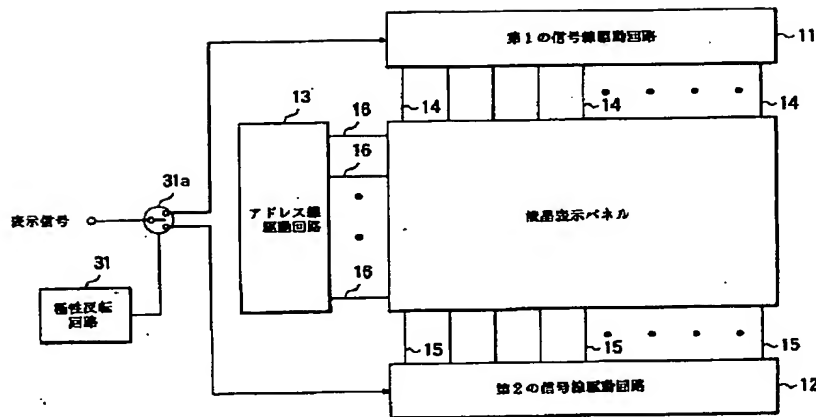
【図4】



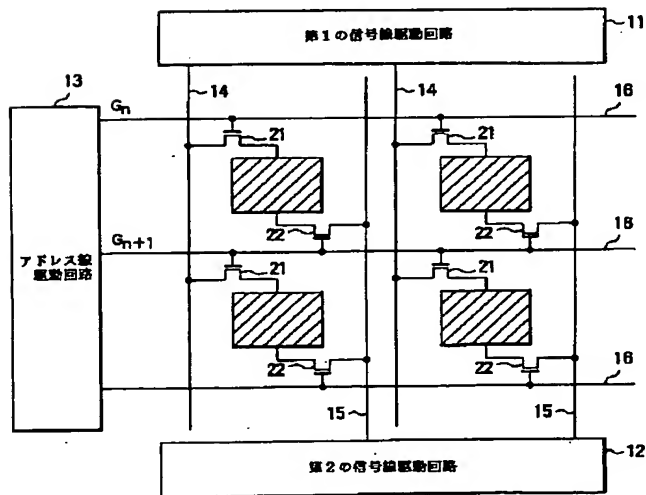
【図5】



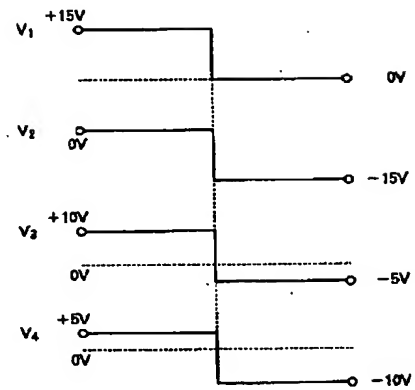
【図6】



【図7】

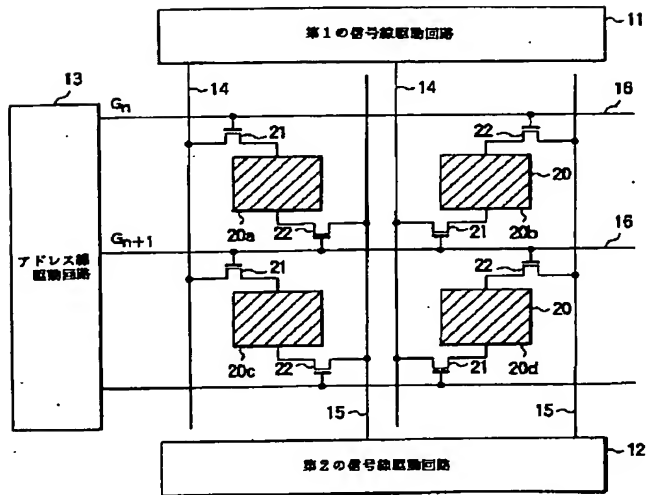


【図17】

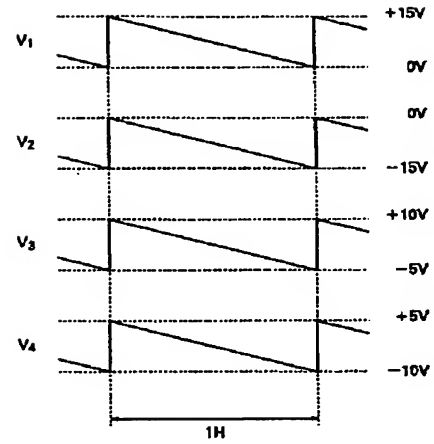




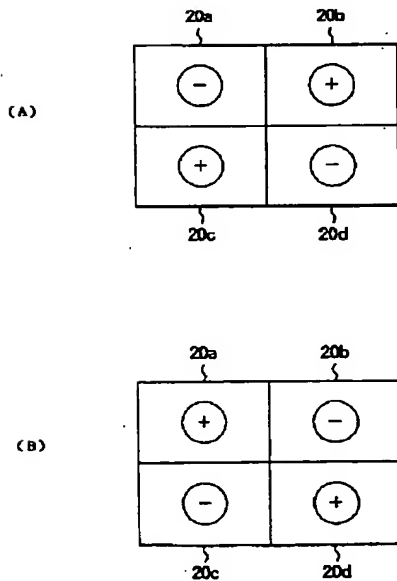
【図8】



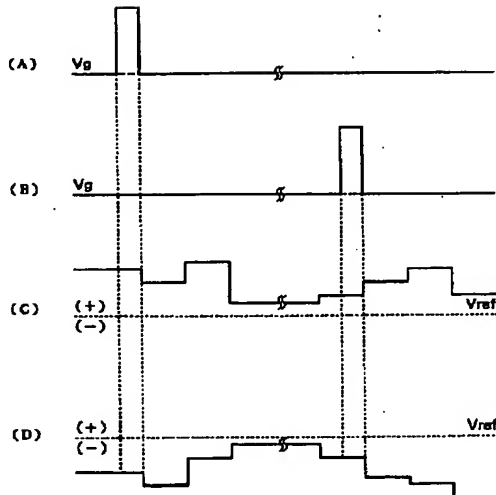
【図18】



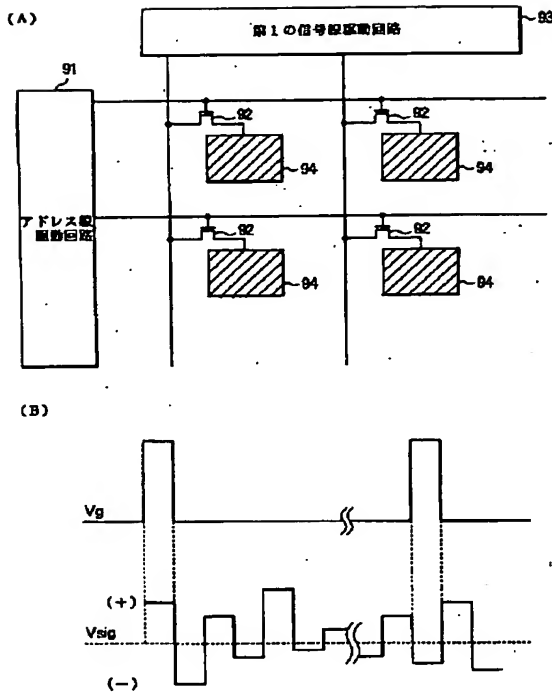
【図9】



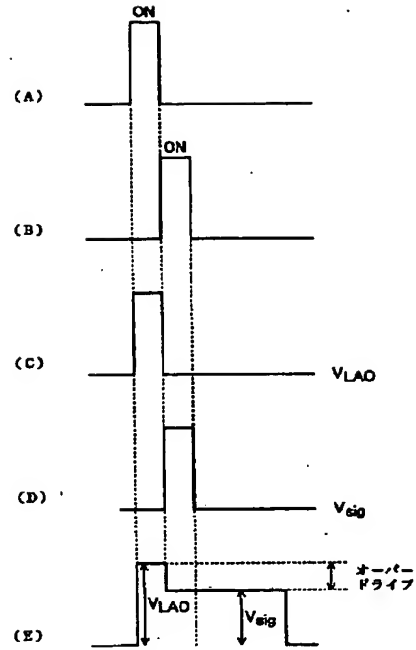
【図10】



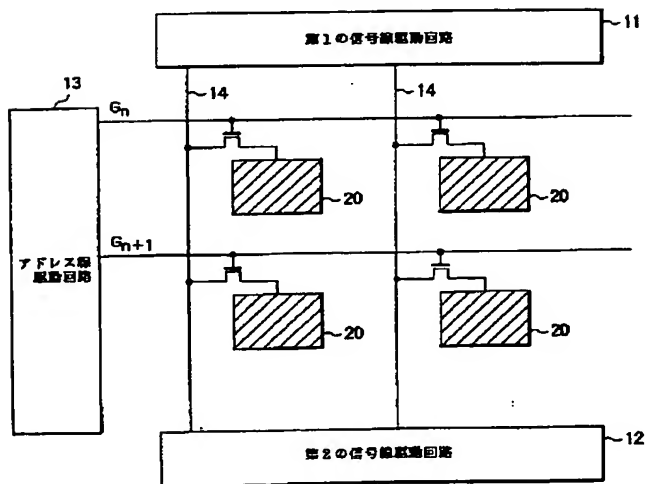
【図11】



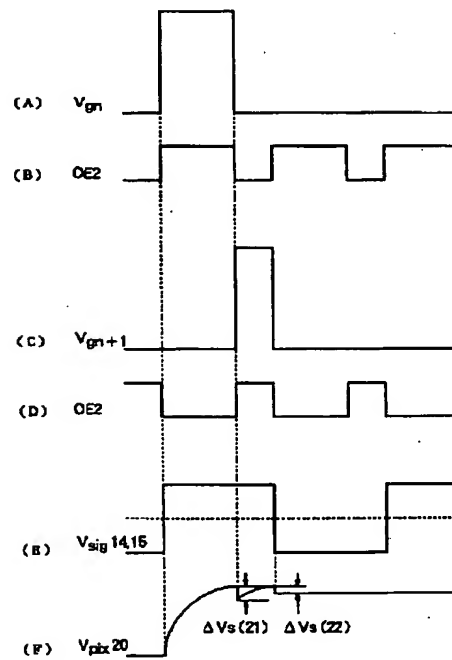
【図19】



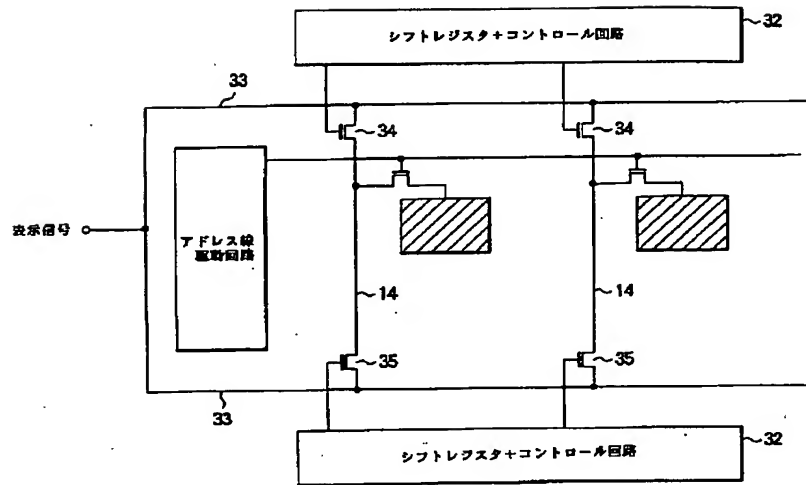
【図12】



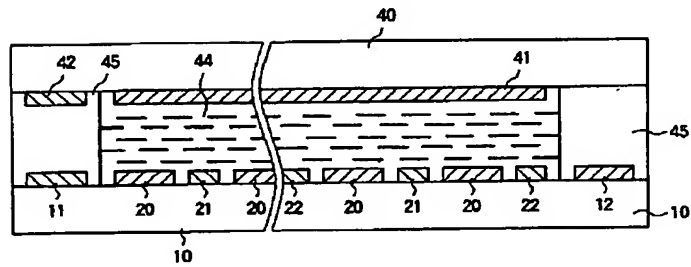
【図26】



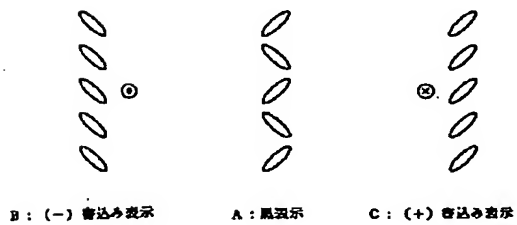
【図13】



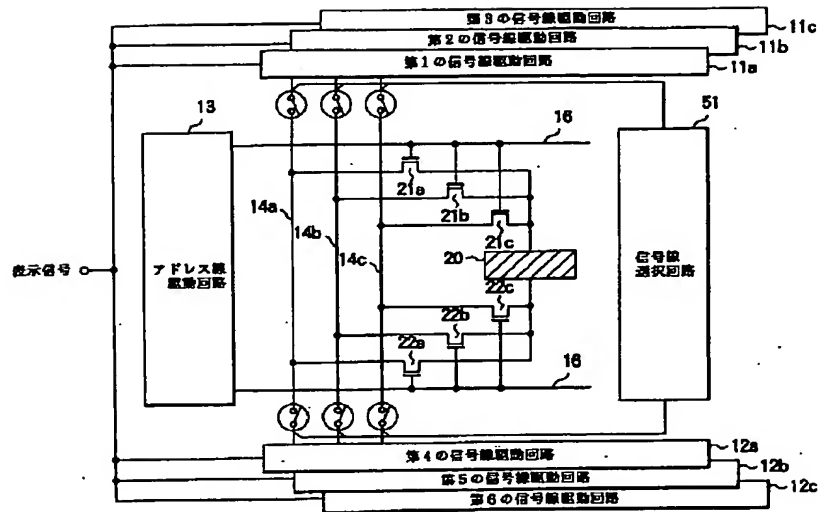
【図14】



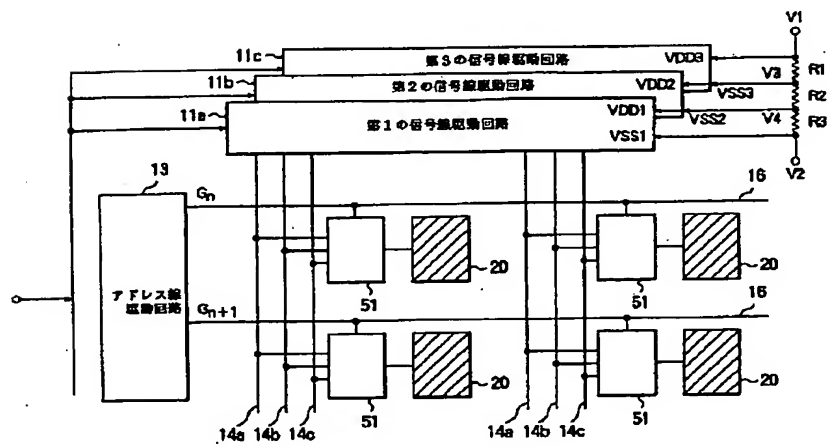
【図33】



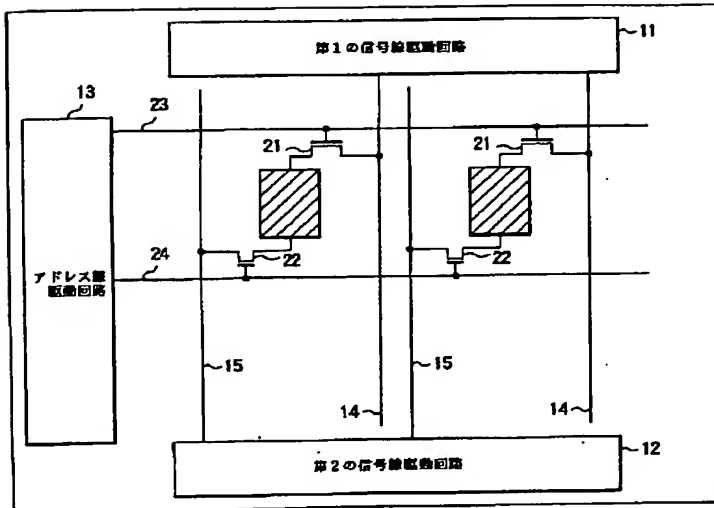
【図15】



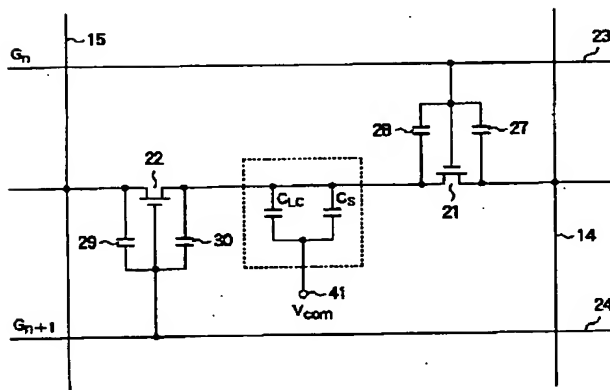
【図16】



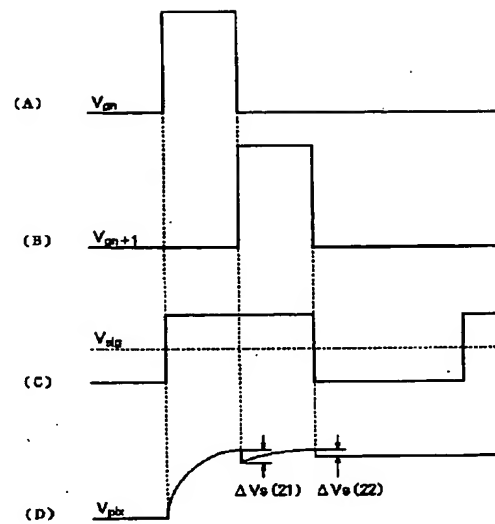
【図20】



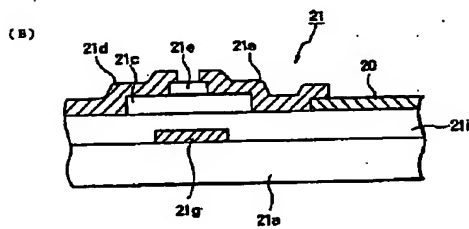
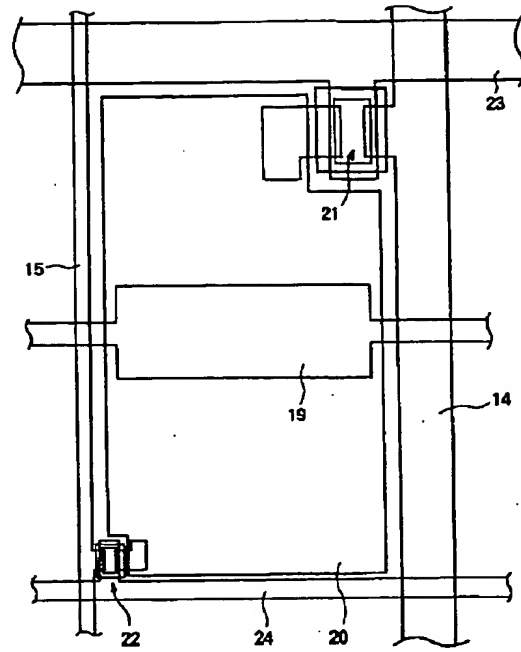
【図21】



【図22】



【圖24】



【图27】

(A)  $V_{gn}$

(B) OE2

(C)  $V_{gn+1}$

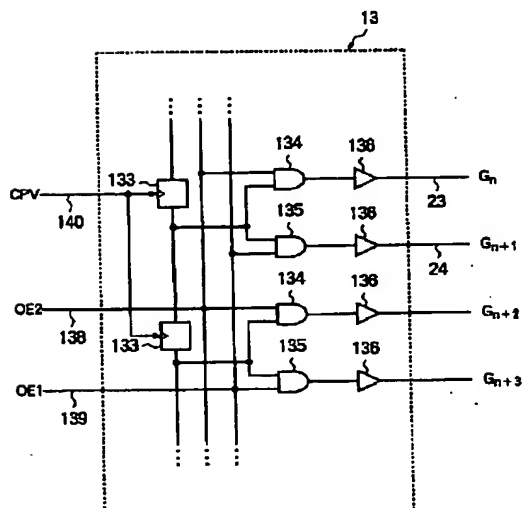
(D) OE2

オーバーラップ  
期間

(E)  $V_{sig\ 14,15}$

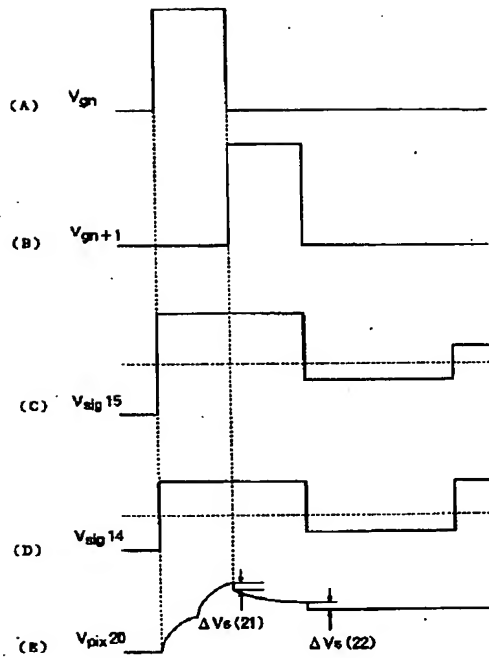
(F)  $V_{pix\ 20}$

$\Delta V_s (21)$   $\Delta V_s (22)$

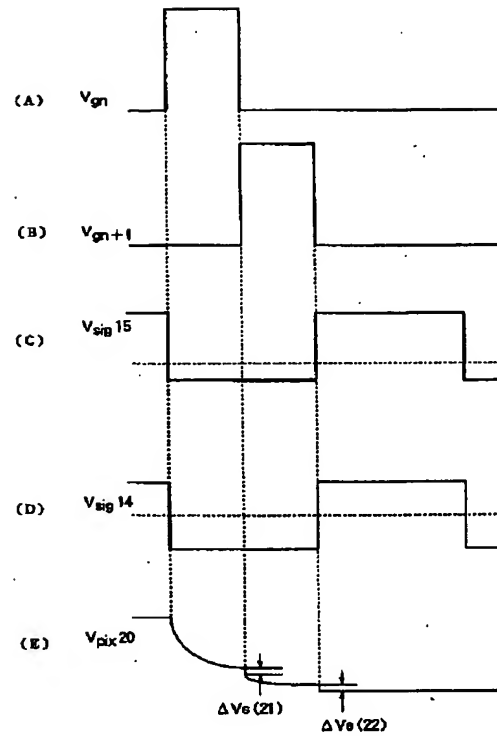




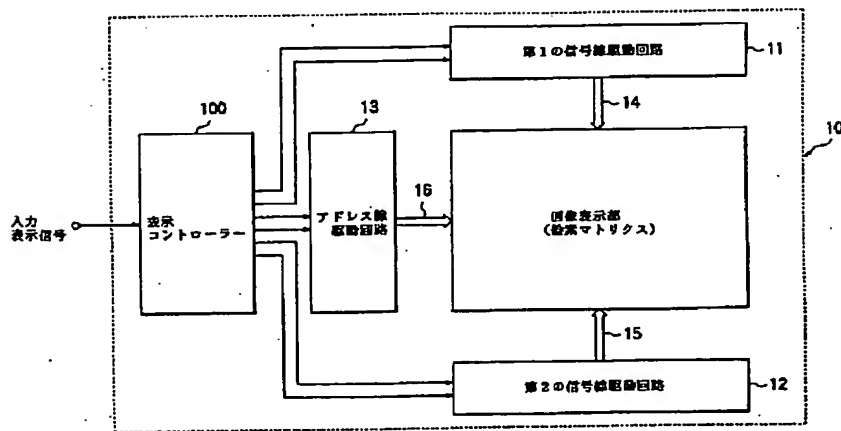
【図28】



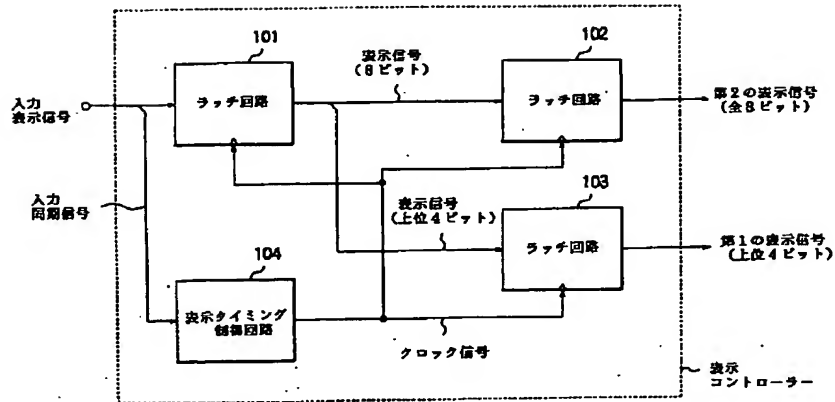
【図29】



【図30】



【図31】

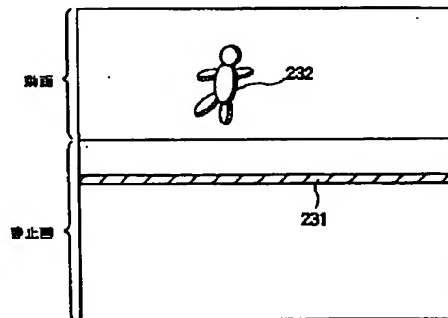


【図32】

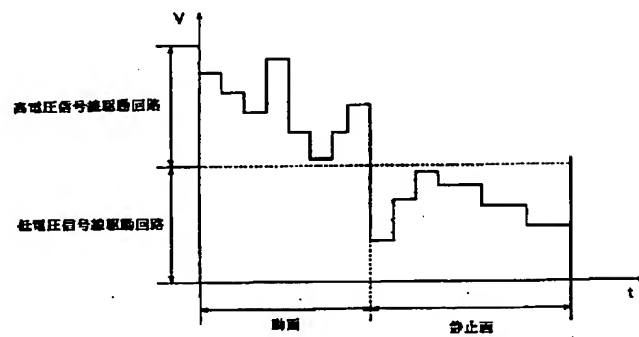
入力表示信号と出力表示信号との対応

8ビット 表示信号 (入力表示信号)	8ビット 表示信号 (第1の表示信号)	上位4ビット 表示信号 (第2の表示信号)
0 ~ 15	0 ~ 15	0
16 ~ 31	16 ~ 31	1
32 ~ 47	32 ~ 47	2
48 ~ 63	48 ~ 63	3
64 ~ 79	64 ~ 79	4
80 ~ 95	80 ~ 95	5
96 ~ 111	96 ~ 111	6
112 ~ 127	112 ~ 127	7
128 ~ 143	128 ~ 143	8
144 ~ 159	144 ~ 159	9
160 ~ 175	160 ~ 175	10
176 ~ 191	176 ~ 191	11
192 ~ 207	192 ~ 207	12
208 ~ 223	208 ~ 223	13
224 ~ 239	224 ~ 239	14
240 ~ 255	240 ~ 255	15

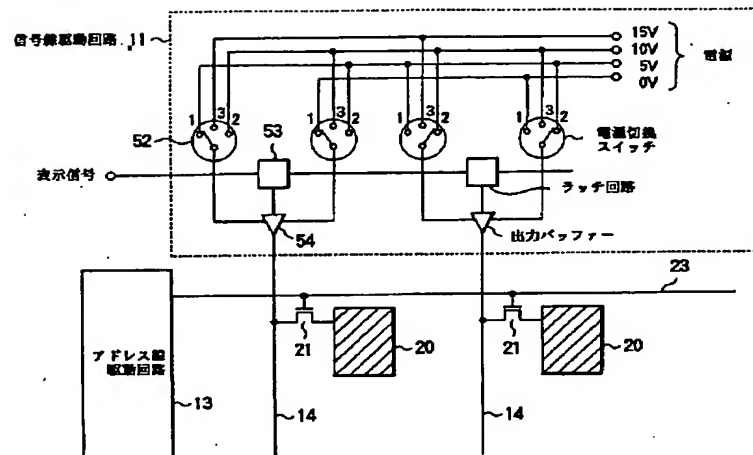
【図37】



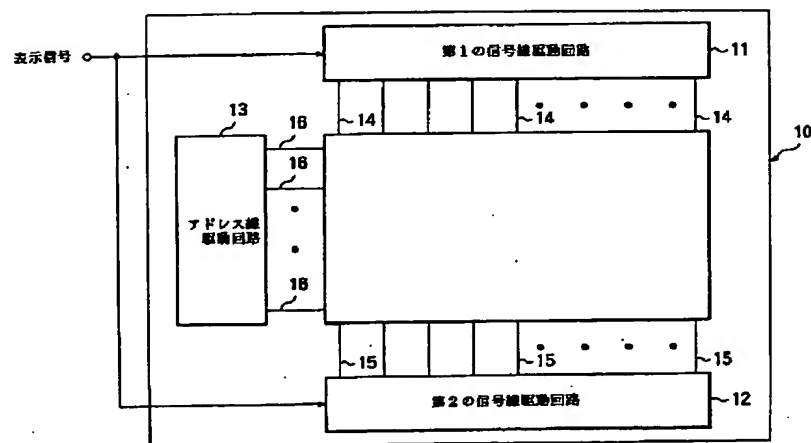
【図39】



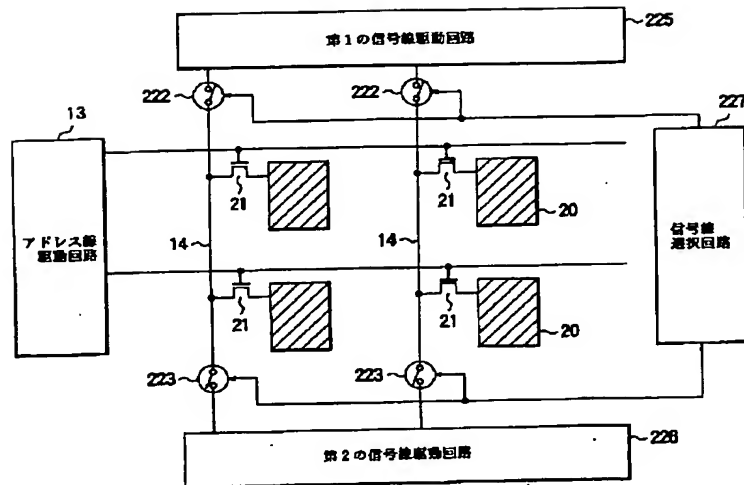
【図34】



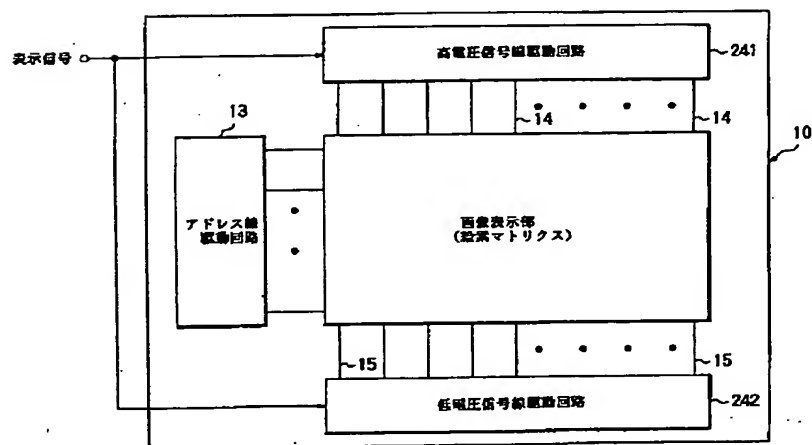
【図35】



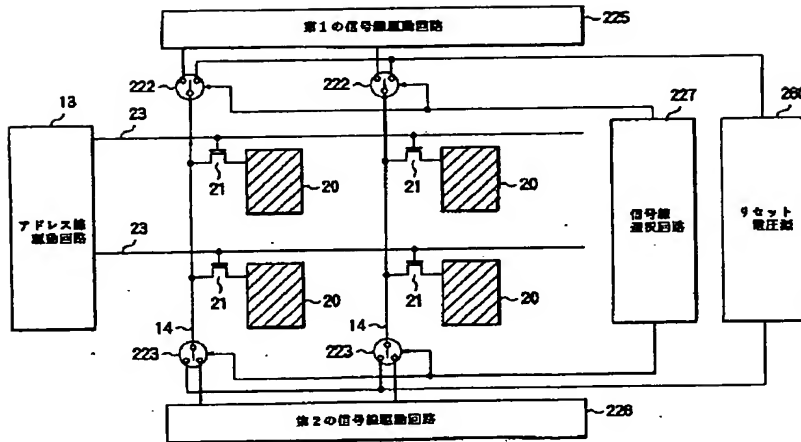
【図36】



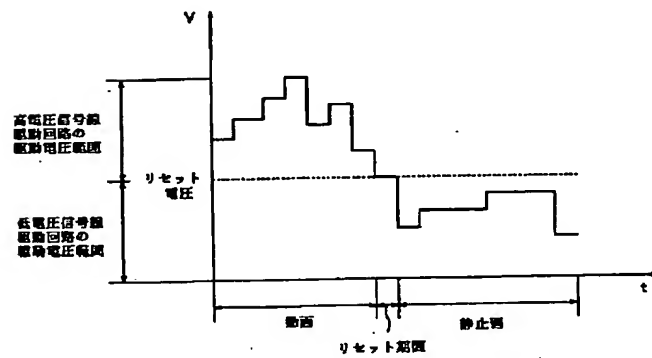
【図38】



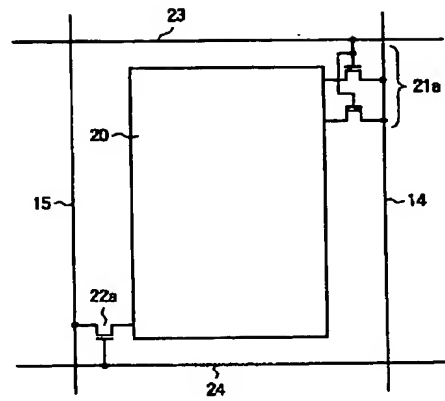
【図40】



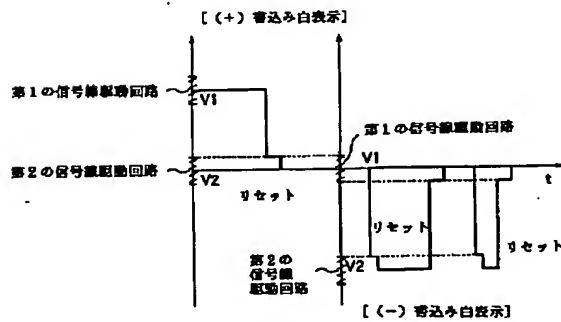
【図41】



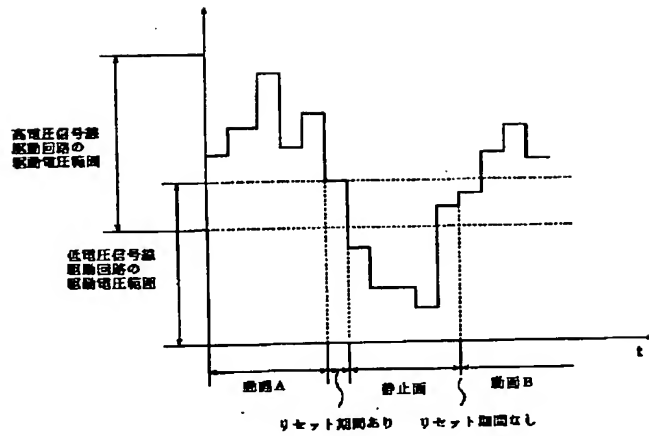
【図44】



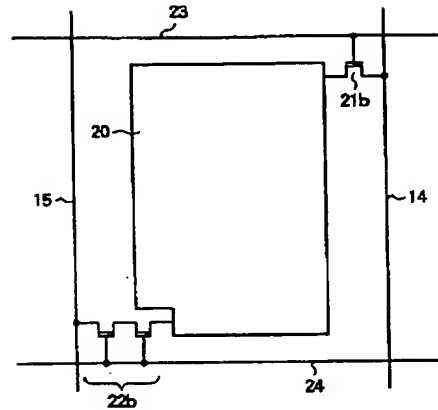
【図43】



【図42】



【図45】



フロントページの続き

(72)発明者 土田 勝也  
 神奈川県横浜市磯子区新磯子町33 株式会  
 社東芝生産技術研究所内